

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J11017 U.S. PTO  
09/956973  
09/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日  
Date of Application:

2000年11月29日

出 願 番 号  
Application Number:

特願2000-363901

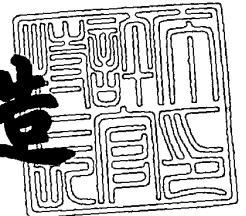
出 願 人  
Applicant(s):

富士通株式会社

2001年 8月17日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073983

【書類名】 特許願

【整理番号】 0040969

【提出日】 平成12年11月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松崎 康郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された配線層を覆う絶縁層上に設けた導電線を有する半導体装置であって、

前記導電線は、前記配線層に設けられた複数の第 1 の電極と、前記導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極を互いに接続する半導体装置。

【請求項 2】 半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有する半導体装置であって、

前記導電線は、前記配線層に設けられた少なくとも 1 つの第 1 の電極と、前記導電線上に設けられた外部接続用の複数の第 2 の電極を互いに接続する半導体装置。

【請求項 3】 半導体基板上に形成された配線層を覆う絶縁層上に設けられた複数の導電線を有する半導体装置であって、

前記複数の導電線はそれぞれ、前記配線層に設けられた第 1 の電極と外部接続用の第 2 の電極とを接続し、当該半導体装置と他の半導体装置とを重ね合わせた場合に、当該半導体装置の第 2 の電極が前記他の半導体装置の対応する電極に接続することで前記導電線が互いに接続されるように、前記第 2 の電極が配置されている半導体装置。

【請求項 4】 複数のチップを具備し、このうちの少なくとも 1 つのチップは半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、

更に、前記少なくとも 1 つのチップは、前記導電線が前記配線層に設けられた複数の第 1 の電極と前記導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極とを互いに接続する第 1 の構成と、前記配線層に設けられた少なくとも 1 つの第 1 の電極と前記導電線上に設けられた外部接続用の複数の第 2 の電極とを互いに接続する第 2 の構成の少なくとも一方を具備する半導体装置。

【請求項 5】 第 1 及び第 2 のチップを具備し、  
第 1 のチップは、第 1 の半導体基板上に形成された第 1 の配線層を覆う第 1 の

絶縁層上に設けられた第 1 の導電線を有し、更に前記第 1 の導電線が前記第 1 の配線層に設けられた複数の第 1 の電極と前記第 1 の導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極とを互いに接続する第 1 の構成と、前記第 1 の配線層に設けられた少なくとも 1 つの第 1 の電極と前記第 1 の導電線上に設けられた外部接続用の複数の第 2 の電極とを互いに接続する第 2 の構成の少なくとも一方を具備し、

第 2 のチップは第 2 の半導体基板上に形成された第 2 の配線層を覆う第 2 の絶縁層上に設けられた第 2 の導電線を有し、更に、前記複数の第 2 の導電線は前記第 2 の配線層内の第 3 の電極と外部接続用の第 4 の電極とを接続し、

前記第 1 及び第 2 のチップを重ね合わせた場合に、前記第 4 の電極が前記第 2 の電極に接続する半導体装置。

【請求項 6】 第 1 及び第 2 のチップを具備し、

該第 1 のチップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、各導電線は前記配線層に設けられた第 1 の電極とこの上に設けられた外部接続用の第 2 の電極とを接続し、

第 2 のチップは、第 1 のチップと重ね合わせた場合に、前記第 2 の電極に接続して前記複数の導電線を互いに接続する複数の第 3 の電極を具備する半導体装置。

【請求項 7】 第 1 及び第 2 のチップを具備し、

該第 1 のチップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた複数の導電線を有し、各導電線は前記配線層に設けられた第 1 の電極とこの上に設けられた外部接続用の複数の第 2 の電極とを接続し、

前記第 2 のチップは、前記第 1 のチップと重ね合わされた場合に、前記第 2 の電極に接続して前記複数の導電線の各々をループ状にする複数の第 3 の電極を具備する半導体装置。

【請求項 8】 半導体基板上に形成された配線層を覆う第 1 の絶縁層上に設けられ、前記配線層に設けられた第 1 の電極と前記第 1 の絶縁層に形成されたコンタクトホール内に設けられた第 2 の電極を接続する第 1 の導電線と、

該導電線上に設けられた第 2 の絶縁層上に設けられ、前記第 2 の電極と前記第

1 の絶縁層に形成されたコンタクトホール内に設けられた第 3 の電極を接続する第 2 の導電線と

を有する半導体装置。

【請求項 9】 複数のチップを具備し、

各チップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、該導電線は前記配線層内の第 1 の電極とこの上に設けられた外部接続用の複数の第 2 の電極とを接続し、

前記複数のチップを重ね合わせた場合に、前記複数の第 2 の電極同士が接続し、各チップの導電線は互いに接続されてループを構成する半導体装置。

【請求項 10】 複数のチップを具備し、

各チップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、該導電線は前記配線層内の第 1 の電極とこの上に設けられた外部接続用の複数の第 2 の電極とを接続し、

前記複数のチップを重ね合わせた場合に、前記複数の第 2 の電極同士が接続し、各チップの導電線が複数の配線系統を構成する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の半導体チップを高密度で実装するマルチチップモジュール及びマルチチップパッケージに関する。

【0002】

電子機器類は多機能、高速、低電力、省スペース（高密度実装）の方向に年々進んでおり、そのための大きな手段としてロジックとメモリを混載するシステム L S I が登場した。当初は 1 チップ内にロジックとメモリを混載するシステム L S I が主流になると考えられてた。しかし、両者は元々製造プロセス条件が異なるため、統一したプロセス条件でロジックとメモリを製造して高性能なデバイスを製造することは難しい。たとえある程度統一したプロセス条件としても、製造コストが高いものとなっている。

【0003】

近年、上記システム L S I に代わるものとして登場したのが、ロジック・メモリ混載のマルチチップパッケージ（マルチチップモジュールともいう）である。このようなマルチチップパッケージは、別々に製造したメモリとロジックのチップを一つのパッケージ（又はモジュール）に混載するものである。それぞれのチップに応じた最適のプロセスで製造したチップを組み立て時に混載するので、高性能を低コストで実現できる。

## 【 0 0 0 4 】

## 【従来の技術】

図 1 に、従来のロジック・メモリ混載パッケージの構成例を示す。図 1 のパッケージは、ロジックチップ（デバイス）1 の上にメモリチップ（デバイス）2 を載せたもので、メモリチップ 2 は素子面（チップ面とも言う）を下に伏せた状態で bumps 等により接続する。図面上の記号とその意味については、図 1 の凡例に記載してある。太い実線は後述する巨大配線（再配線ともいう）、太い実線の四角形はチップ間コンタクト用パッド（平坦状の電極）、太い実線の丸は bumps やハンダボールなどの突起電極、細い実線の丸は巨大配線と回路のコンタクト、黒塗りの四角形は外部端子用（外部接続用）パッド（電極）である。

## 【 0 0 0 5 】

図示する構成では、メモリチップ 2 上に bumps を配置し、ロジックチップ 1 上に bumps とのコンタクト用のパッドを配置している。つまり、メモリチップ 2 の bumps \* とロジックチップ 1 の bumps \* とが重なり、電氣的に接続される。図 1 では、メモリチップ 2 の素子面が上から透視して見えるように図示してある。

## 【 0 0 0 6 】

メモリチップ 2 とロジックチップ 1 の信号を接続する bumps やパッドは、これらのチップ間で位置的に対応するように配置する必要がある。また、これらの bumps やパッドは最小でも数十  $\mu$  m ピッチで配置する必要があり、チップ上で面積を必要とするため、回路素子がある場所にポリイミド系の樹脂を敷いた上に配置される。これ bumps やパッドはその直下の回路と必ずしも接続されるわけではなく、普通は離れた場所にある回路と接続され、その接続には再配線（又は巨大配線）と一般に呼ばれる技術が用いられる。

## 【0007】

再配線技術とは、チップ上にポリイミド層を敷いた上に配線を形成し、回路から信号線や電源線を単に引き出す技術である。この配線はチップ上に敷かれたポリイミドの上にパッド又はバンプの数だけアルミなどの導電体で形成される配線を設ければ良いので、回路形成用に使用されている配線ほどの微細加工の技術は必要なく、 $5 \sim 10 \mu\text{m}$ 程度の加工技術で形成している。そのため、幅は広く巨大配線とも呼ばれている。

## 【0008】

巨大配線は微細加工で形成する通常の配線に対して、次のような利点がある。

- ①幅が広いため電気抵抗が小さい。
- ②バルクとの絶縁層の層間が厚く、また巨大配線間の配線間隔が広いため寄生容量が小さい。
- ③以上より、巨大配線の時定数は非常に低く高速動作に向いている。

## 【0009】

## 【発明が解決しようとする課題】

従来のロジック・メモリ混載マルチチップパッケージの内部構成をブロック図にすると、図2のようになる。巨大配線5はチップ間のI/O回路6、7を接続する部分に用いられる。また、ロジックチップ1及びメモリチップ2はそれぞれ複数のブロックから構成されており、これらはチップ内のバス線3、4で接続されている。これらのバス線3、4は複数のブロックにまたがって配線されるため配線長が長く、微細ルールで作られているため寄生容量も大きい。チップ内のバス線3、4における遅延時間は集積度が大きくなるにつれて増大していく。また、バス線3、4の寄生容量も増大していくためこれらを駆動するための電力も増大していき、今後大きな問題となっていく。

## 【0010】

従って、本発明は従来技術の問題点を解決し、遅延時間が短くかつ消費電力が少ない半導体装置を提供することを目的とする。

## 【0011】

## 【課題を解決するための手段】



本発明は、半導体基板上に形成された配線層を覆う絶縁層上に設けた導電線を有する半導体装置であって、前記導電線は、前記配線層に設けられた複数の第1の電極と、前記導電線上に設けられた外部接続用の少なくとも1つの第2の電極を互いに接続する構成、又は前記導電線は、前記配線層に設けられた少なくとも1つの第1の電極と、前記導電線上に設けられた外部接続用の複数の第2の電極を互いに接続する構成の半導体装置である。

## 【 0 0 1 2 】

半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線、いわゆる巨大配線が複数の第1の電極又は第2の電極を互いに接続する。つまり、端子を1対1に接続する単なる引き出し線（再配線）としての機能ではなく、回路のノード間を接続する信号線や電源線として機能する。信号線として巨大配線を用いる構成なので、遅延時間が短くかつ消費電力が少ない半導体装置となる。

## 【 0 0 1 3 】

## 【発明の実施の形態】

まず、図3を参照して本発明の原理を説明する。

## 【 0 0 1 4 】

本発明は、巨大配線30でバスを形成し、1つの半導体装置であるロジックチップ10や、1つの半導体装置であるメモリチップ20内の各ブロックをバス30に接続する構成を有する。つまり、ブロック間をまたぐバス30を導電線である巨大配線で形成し、ロジックチップ10とメモリチップ20でバス30を共有する。バス30を構成する巨大配線は寄生容量が小さいので、駆動能力の小さいバッファ（I/O回路）で駆動することができ、この結果遅延時間と消費電力を大幅に削減できる。また、バッファを設けることなく各ブロックとバス30とを直接接続することもできる。更に、図2に示すようロジックチップ1とメモリチップ2を接続するためのI/O回路6、7を必要としないので、この分だけ遅延時間と消費電力を更に削減できる。

## 【 0 0 1 5 】

なお、後述するように、バス13はロジックチップ11又はメモリチップ12のどちらか一方に形成しても良く、両方に形成しても良い。

## 【 0 0 1 6 】

次に、本発明の第 1 の実施の形態を説明する。

## 【 0 0 1 7 】

図 4 は本発明の第 1 の実施の形態によるマルチチップ半導体装置を示す図である。図示するマルチチップ半導体装置は、ロジックチップ 1 0 A と、この上に搭載されるメモリチップ 2 0 A とを有する。メモリチップ 2 0 A を搭載する際、ロジックチップ 1 0 A のチップ面とメモリチップ 2 0 A のチップ面とを向かい合わせにする。メモリチップ 2 0 A は、ロジックチップ 1 0 A よりも大きい。メモリチップ 2 0 A は、半導体チップに形成された 4 つのメモリブロック 2 1<sub>1</sub> ~ 2 1<sub>4</sub> と、4 つの I / O 回路（バッファ回路）2 2<sub>1</sub> ~ 2 2<sub>4</sub> とを具備し、更に巨大配線で形成されるバス 3 0 A とを具備する。各 I / O 回路 2 2<sub>1</sub> ~ 2 2<sub>4</sub> とバス 3 0 A とは、コンタクト部 2 3 で電氣的に接続されている。I / O 回路 2 2<sub>1</sub> ~ 2 2<sub>4</sub> とメモリブロック 2 1<sub>1</sub> ~ 2 1<sub>4</sub> はそれぞれ電氣的に接続されているので、メモリブロック 2 1<sub>1</sub> ~ 2 1<sub>4</sub> はバス 3 0 A を介して互いに接続されている。また、バス 3 0 A の各バス線には、ロジックチップ 1 0 A と電氣的接続を取るためのパッド 2 4 が設けられている。

## 【 0 0 1 8 】

図 5 は、図 4 に示すメモリチップ 2 0 A の I で示す部分の断面図である。半導体基板 3 3 上（チップ面上）には、多層配線層 3 5 が形成されている。多層配線層 3 5 は、多層に構成された配線層 3 5 a、3 5 b を有する。各配線層 3 5 a、3 5 b はポリイミドなどの絶縁層で絶縁され、最上部の配線層 3 5 b 上にはポリイミドなどの絶縁層が設けられている。図 5 では、便宜上、多層配線層 3 5 の絶縁層を一括して参照番号 3 4 で示してある。また、多層配線層 3 5 は電極 3 6（第 1 の電極）を有する。電極 3 6 はコンタクト部 4 1 a、4 1 b 及び中間の配線層を介して、半導体基板 3 3 に形成された拡散層 3 3 a に電氣的に接続される。

## 【 0 0 1 9 】

絶縁層 3 4 上には絶縁層 3 7 が設けられ、この上に巨大配線層 3 8 が形成されている。巨大配線層 3 8 は、図 4 に示すバス 3 0 A の 1 本のバス線を構成する。巨大配線層 3 8 は、コンタクト部 2 3 で電極 3 6 とコンタクトしている。電極部

36は、絶縁層34に設けられたコンタクトホールから露出している。コンタクト部23は、絶縁層34と37に形成されたコンタクトホールに巨大配線層38が入り込んで電極36に接続する構成である。巨大配線層38の幅及び厚みは多層配線層35の配線層35a、35bよりも大きく、例えば5～10 $\mu$ mである。

#### 【0020】

巨大配線層38の上には、カバー膜39が設けられている。カバー膜39は開口部（スルーホール）を有し、そこから巨大配線層38が露出している。開口部は、外部接続用（ロジックチップ10Aと接続するための）の電極42（第2の電極）であり、パッド24に相当する。

#### 【0021】

ロジックチップ10Aは、半導体チップに形成された3つの機能ブロック27<sub>1</sub>～27<sub>3</sub>を有する。各機能ブロック27<sub>1</sub>～27<sub>3</sub>上は、これらとコンタクトするコンタクト部28、とコンタクト部28に接続された外部接続用（メモリチップ20Aに接続するための）突起電極であるバンプ29とが設けられている。バンプ29と、メモリチップ20Aのパッド24とは、ロジックチップ10Aをメモリチップ20Aに重ね合わせた場合に、互いにコンタクトして電氣的接続がなされるように配置されている。

#### 【0022】

図6は、ロジックチップ10AのIIで示す部分の断面図である。なお、説明を簡単にするために、図5に示す部分と同様の部分には同じ参照番号を付してある。バンプ29となる突起電極40（第2の電極）が巨大配線38A上に形成されている。巨大配線38Aは、コンタクト部28を形成する電極36（第1の電極）と突起電極40とを電氣的に接続するためのものであり、メモリチップ20Aの巨大配線38のように、長手方向に長く延びてはいない。ロジックチップ10Aをメモリチップ20A上に搭載した際、バンプ40がパッド42に接触し、電氣的な接続が形成される。つまり、図4において、各バンプ29は対応するパッド24上に重なり、電氣的な接続が形成される。

#### 【0023】

この結果、ロジックチップ 1 0 A の機能ブロック 2 7<sub>1</sub> ~ 2 7<sub>3</sub> は、メモリチップ 2 0 A のバス 3 0 A を介して互いに接続される。つまり、バス 3 0 A はロジックチップ 1 0 A とメモリチップ 2 0 A とで共用される。なお、図 4 に示すロジックチップ 1 0 A 上の破線は、メモリチップ 2 0 A 上のバス 3 0 A との位置的対応を示すものである。

#### 【 0 0 2 4 】

図 4 の構成では、巨大配線で形成されるバス 3 0 の各バス線には、複数のコンタクト部 2 3 と複数のパッド 2 4 とが接続されている。しかしながら、この構成は複数のブロックが設けられている場合の一例であって、この構成に限定されない。各バス線に 1 つのコンタクト部 2 3 と複数のパッド 2 4 が接続される構成や、各バス線に複数のコンタクト部 2 3 と 1 つのパッド 2 4 が接続される構成もある。また、図 4 の構成では各バス線に接続されるコンタクト部 2 3 とパッド 2 4 の数は同じであるが、各バス線毎に異なる構成もある。更に、ロジックチップ 1 0 A が複数の機能ブロックに分割されていない場合には、例えば、図 4 に示す機能ブロック 2 上のコンタクト 2 8 とバンプ 2 9 のみを設ける構成で良い。

#### 【 0 0 2 5 】

また、巨大配線のバス 3 0 A はメモリチップ 2 0 A ではなく、ロジックチップ 1 0 A に形成してもよい。

#### 【 0 0 2 6 】

図 4 に示すマルチチップ半導体装置と外部とのインタフェースは、ロジックチップ 1 0 A を介する。図 4 に示す構成では、ロジックチップ 1 0 A がメモリチップ 2 0 A よりも小さく、外部接続用（外部インタフェース用）の電極をロジックチップ 1 0 A に設ける余裕がない。このため、メモリチップ 2 0 A の周辺領域であって、ロジックチップ 1 0 A と重なり合わない領域に、外部接続用のパッド 2 6 を形成している。外部接続用パッド 2 6 は、巨大配線 4 3 を介してチップ間コンタクト用パッド 2 5 に 1 対 1 に接続されている。外部接続用パッド 2 6 は、例えば図 5 に示す電極 3 6 と同様に設けられている。外部接続用パッド 2 6 は絶縁層から露出している。巨大配線 4 3 は、図 5 に示す巨大配線 3 8 と同じレベル、つまり絶縁層 3 7 の上に設けられており、チップ間コンタクト用パッド 2 5 は電

極 4 2 と同様に設けられている。パッド 2 5 はメモリチップ 2 0 A の内部回路に直接接続されない。

#### 【 0 0 2 7 】

ロジックチップ 1 0 A には、対応する機能ブロック 2 7 <sub>1</sub> ~ 2 7 <sub>3</sub> と電氣的に接続されるコンタクト部 3 1 と、これに接続されるバンプなどの突起電極 3 2 が形成されている。コンタクト部 3 1 と突起電極 3 2 とは、コンタクト部 2 8 と突起電極 2 9 と同様の構成である。ロジックチップ 1 0 A をメモリチップ 2 0 A 上に重ね合わせると、突起電極 3 2 がパッド 2 5 にコンタクトして、機能ブロック 2 7 <sub>1</sub> ~ 2 7 <sub>3</sub> と外部接続用パッド 2 6 とが電氣的に接続される。なお、外部接続用パッド 2 6 には、ボンディングワイヤや TAB (Tape Automated Bonding) などが接続される。

#### 【 0 0 2 8 】

以上説明したように、本発明の第 1 の実施の形態によれば、図 3 を参照して説明した効果が得られる。

#### 【 0 0 2 9 】

次に、本発明の第 2 の実施の形態について説明する。

#### 【 0 0 3 0 】

図 7 は、本発明の第 2 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 B とメモリチップ 2 0 B とを有する。第 2 の実施の形態が第 1 の実施の形態と相違する部分は、次の通りである。

#### 【 0 0 3 1 】

ロジックチップ 1 0 B は、前述した 3 つの機能ブロック 2 7 <sub>1</sub> ~ 2 7 <sub>3</sub> に加え、4 番目の機能ブロック 2 7 <sub>4</sub> を具備する。なお、第 1 の実施の形態におけるロジックチップ 1 0 A の機能ブロック 2 7 <sub>2</sub> と第 2 の実施の形態におけるロジックチップ 1 0 B の機能ブロック 2 7 <sub>2</sub> とは大きさが異なるが、1 つの機能ブロックという意味において同一性のある構成要素なので、同一の参照番号を付してある。この扱いは、他の構成要素でも同様である。

## 【 0 0 3 2 】

機能ブロック 2 7<sub>4</sub> をメモリチップ 2 0 B の巨大配線のバス 3 0 A に接続させるために、ロジックチップ 1 0 B に巨大配線によるバス 4 0 A を設けている。バス 4 0 A は、バス 3 0 A から分岐したバスと言える。また、両方のチップに巨大配線のバスを設けたとも言える。バス 4 0 A の各バス線は、コンタクト部 2 8 を介して機能ブロック 2 7<sub>4</sub> に接続されている。また、各バス線には、バンプなどの突起電極 2 9 a が設けられている。突起電極 2 9 a は、突起電極 2 9 と同じ構成である。

## 【 0 0 3 3 】

ロジックチップ 1 0 B をメモリチップ 2 0 B に重ね合わせた時、突起電極 2 9 a は、メモリチップ 2 0 B のバス 3 0 A に設けられたパッド 2 4 a に接続する。つまり、突起電極 2 9 a とパッド 2 4 a とは対応する位置に配置されている。これにより、機能ブロック 2 7<sub>4</sub> はバス 4 0 A を介してバス 3 0 A に接続される。

## 【 0 0 3 4 】

次に、図 8 を参照して本発明の第 3 の実施の形態によるマルチチップ半導体装置を説明する。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 C とメモリチップ 2 0 C とを有する。ロジックチップ 1 0 C は第 2 の実施の形態と同様に 4 つの機能ブロック 2 7<sub>1</sub> ~ 2 7<sub>4</sub> を有するが、その配置が大きく異なる。ロジックチップ 1 0 C をメモリチップに重ね合わせた場合に、機能ブロック 2 7<sub>1</sub> ~ 2 7<sub>4</sub> は、メモリチップ 2 0 C のバス 3 0 A 上に位置しないので、第 1 や第 2 の実施の形態のような配置では、機能ブロック 2 7<sub>1</sub> ~ 2 7<sub>4</sub> をバス 3 0 A に接続できない。

## 【 0 0 3 5 】

第 3 の実施の形態は、この点を考慮したもので、ロジックチップ 1 0 C に機能ブロック 2 7<sub>1</sub> ~ 2 7<sub>4</sub> を互いに接続する巨大配線のバス 4 0 B を設けたものである。各機能ブロック 2 7<sub>1</sub> ~ 2 7<sub>4</sub> とのコンタクトを適切に取るために、バス 4 0 B は直線ではなく、屈曲している。バス 4 0 B の途中には、バンプなどの突起電極 2 9 が設けられている。突起電極 2 9 に対応して、メモリチップ 2 0 C の

バス 3 0 A にはパッド 2 4 a が設けられている。ロジックチップ 1 0 C をメモリチップ 2 0 C に重ね合わせると、突起電極 2 9 がパッド 2 4 a にコンタクトする。これにより、バス 3 0 A と 4 0 B とが電氣的に接続される。

## 【 0 0 3 6 】

次に、図 9 を参照して本発明の第 4 の実施の形態によるマルチチップ半導体装置を説明する。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 D とメモリチップ 2 0 D とを有する。

## 【 0 0 3 7 】

メモリチップ 2 0 D は、4 つのメモリブロック 2 1<sub>1</sub> ~ 2 1<sub>4</sub> と、6 つの I / O 回路 (バッファ) 2 2<sub>1</sub> ~ 2 2<sub>6</sub> と、2 つの平行に延びているバス 3 0 B<sub>1</sub>、3 0 B<sub>2</sub> とを有する。各バス 3 0 B<sub>1</sub>、3 0 B<sub>2</sub> は巨大配線で形成されている。バス 3 0 B<sub>1</sub> は、コンタクト部 2 3 を介して I / O 回路 2 2<sub>1</sub>、2 2<sub>3</sub>、2 2<sub>6</sub> に接続されている。また、パッド 2 4 が図示するように配列されている。同様に、バス 3 0 B<sub>2</sub> は、コンタクト部 2 3 を介して I / O 回路 2 2<sub>2</sub>、2 2<sub>4</sub>、2 2<sub>5</sub> に接続されている。また、パッド 2 4 が図示するように配列されている。図 9 に示す I / O 回路 2 2<sub>1</sub> ~ 2 2<sub>6</sub> の配置は、チップ面を効率的に利用するものである。

## 【 0 0 3 8 】

ロジックチップ 1 0 D は、2 つの機能ブロック 2 7<sub>1</sub>、2 7<sub>2</sub> と、巨大配線で形成される 2 つのバス 4 0 C<sub>1</sub>、4 0 C<sub>2</sub> を具備する。これらのバス 4 0 C<sub>1</sub>、4 0 C<sub>2</sub> は、ロジックチップ 1 0 D をメモリチップ 2 0 D に重ね合わせた時に、メモリチップ 2 0 D のバス 3 0 B<sub>1</sub> と 3 0 B<sub>2</sub> を互いに接続するために設けられている。バス 4 0 C<sub>1</sub>、4 0 C<sub>2</sub> は平行で、ロジックチップ 1 0 D の短手方向に延びている。バス 4 0 C<sub>1</sub> は、コンタクト部 2 8 を介して機能ブロック 2 7<sub>1</sub> とコンタクトする。バス 4 0 C<sub>1</sub> には、バンプなどの突起電極 2 9 が形成されている。1 本のバス線には 2 つの突起電極が形成されている。同様に、バス 4 0 C<sub>2</sub> は、コンタクト部 2 8 を介して機能ブロック 2 7<sub>2</sub> とコンタクトする。バス 4 0 C<sub>2</sub> には、バンプなどの突起電極 2 9 が形成されている。1 本のバス線には 2 つ

の突起電極が形成されている。

【 0 0 3 9 】

ロジックチップ 1 0 D をメモリチップ 2 0 D に重ね合わせると、ロジックチップ 1 0 D の突起電極 2 9 は、メモリチップ 2 0 D の対応するパッド 2 4 に接続される。これにより、メモリチップ 2 0 D に設けられたバス 3 0 B<sub>1</sub>、3 0 B<sub>2</sub> の対応するバス線同士がバス 4 0 C<sub>1</sub>、4 0 C<sub>2</sub> を介して互いに接続されるとともに、機能ブロック 2 7<sub>1</sub>、2 7<sub>2</sub> にも接続される。つまり、一方のチップに設けられた複数のバスを、他方のチップに設けられたバスで互いに接続する。

【 0 0 4 0 】

図 1 0 は、本発明の第 5 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 E とメモリチップ 2 0 E とを有する。

【 0 0 4 1 】

メモリチップ 2 0 E は 8 つのメモリブロック 2 1<sub>1</sub> ～ 2 1<sub>8</sub> と、対応する 8 つの I/O 回路 2 2<sub>1</sub> ～ 2 2<sub>8</sub> と、巨大配線で形成されたループ状のバス 3 0 C を有する。各 I/O 回路 2 2<sub>1</sub> ～ 2 2<sub>8</sub> はコンタクト部 2 3 を介してバス 3 0 C に接続される。また、バス 3 0 C 上には、ロジックチップ 1 0 E とのコンタクト用パッド 2 4 が設けられている。ロジックチップ 1 0 E は、3 つの機能ブロック 2 7<sub>1</sub> ～ 2 7<sub>3</sub> と、コンタクト部 2 8 と、バンプなどの突起電極 2 9 とを具備する。

【 0 0 4 2 】

ロジックチップ 1 0 E をメモリチップ 2 0 C 上に重ね合わせることで、突起電極 2 9 がパッド 2 4 にコンタクトする。これにより、ロジックチップ 1 0 E の機能ブロック 2 7<sub>1</sub> ～ 2 7<sub>3</sub> はループ状のバス 3 0 C に接続される。

【 0 0 4 3 】

バス 3 0 C はループ状なので、バスと回路との接続の自由度が高くなる。また、バス 3 0 C には端がないため信号の反射がなく、高速動作が可能である。

【 0 0 4 4 】



図 1 1 は、本発明の第 5 の実施の形態によるマルチチップ半導体装置の変形例を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 F とメモリチップ 2 0 F とを有する。

【 0 0 4 5 】

図 1 1 に示す構成が図 1 0 に示す構成と相違する点は、ロジックチップ 1 0 F の方がメモリチップ 2 0 F よりも大きいこと、巨大配線で形成されるループ状のバスがロジックチップ 1 0 F に設けられていること（参照番号 4 0 C で示す）、外部とのインタフェース用のパッドがロジックチップ 1 0 F に設けられていること（参照番号 4 9 で示す）、及びメモリチップ 2 0 F をロジックチップ 1 0 F 上に重ね合わせることである。

【 0 0 4 6 】

ロジックチップ 1 0 F に設けられたループ状のバス 4 0 C は、コンタクト部 4 6 を介して機能ブロック 2 7<sub>1</sub> ～ 2 7<sub>3</sub> に接続される。また、バス 4 0 C 上には、メモリチップ 2 0 F とコンタクトするためのパッド 4 7 が設けられている。

【 0 0 4 7 】

メモリチップ 2 0 F には、各 I / O 回路 2 2<sub>1</sub> ～ 2 2<sub>8</sub> とコンタクトするコンタクト部 4 4、及びこれに接続するバンプなどの突起電極 4 5 が設けられている。コンタクト部 4 4 と突起電極 4 5 とは、図 6 に示すような構成の巨大配線で接続されている。

【 0 0 4 8 】

ロジックチップ 1 0 F のパッド 4 7 とメモリチップ 2 0 F の突起電極 4 5 は、メモリチップ 2 0 F をロジックチップ 1 0 F に重ね合わせた時にコンタクトするように配置されている。これにより、メモリチップ 2 0 F のメモリブロック 2 1<sub>1</sub> ～ 2 1<sub>8</sub> は、I / O 回路 2 1<sub>1</sub> ～ 2 1<sub>8</sub> 及び巨大配線で形成されたループ上のバス 4 0 C を介して互いに接続される。

【 0 0 4 9 】

図 1 2 は、本発明の第 6 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同

一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 G とメモリチップ 2 0 G とを有する。

## 【 0 0 5 0 】

メモリチップ 2 0 G は、巨大配線で形成される U 字状のバス 3 0 D を有する。U 字状のバス 3 0 D は、バスをループ状に形成できない場合に有効である。バス 3 0 D の各バス線は、コンタクト部 2 3 を介して各 I / O 回路 2 2 <sub>1</sub> ~ 2 2 <sub>8</sub> に接続されている。各バス線の一端は、I / O 回路 2 2 <sub>1</sub> で終端され、他端は I / O 回路 2 2 <sub>2</sub> で終端されている。また、各バス線上にはパッド 2 4 が形成されている。ロジックチップ 1 0 G は、3 つの機能ブロック 2 7 <sub>1</sub> ~ 2 7 <sub>3</sub> と、コンタクト部 2 8 と、バンプなどの突起電極 2 9 とを具備する。

## 【 0 0 5 1 】

ロジックチップ 1 0 G をメモリチップ 2 0 G 上に重ね合わせることで、突起電極 2 9 がパッド 2 4 にコンタクトする。これにより、ロジックチップ 1 0 G の機能ブロック 2 7 <sub>1</sub> ~ 2 7 <sub>3</sub> は U 字状のバス 3 0 D に接続される。

## 【 0 0 5 2 】

図 1 3 は、本発明の第 7 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 H とメモリチップ 2 0 H とを有する。

## 【 0 0 5 3 】

第 7 の実施の形態は、第 6 の実施の形態に対し、ロジックチップ 2 0 I に巨大配線で形成されるバス 4 0 D を設け、ロジックチップ 1 0 H をメモリチップ 2 0 H に重ね合わせた状態で、U 字状のバス 3 0 D とバス 4 0 D とが互いに接続され、ループ状のバスが形成されることを特徴とする。このために、バス 4 0 の両端にはバンプなどの突起電極 2 9 b が構成され、これに対応するバス 3 0 D 上の位置にパッド 2 4 b が形成されている。

## 【 0 0 5 4 】

図 1 4 は、本発明の第 8 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同

一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ 1 0 I とメモリチップ 2 0 I とを有する。

## 【 0 0 5 5 】

第 8 の実施の形態は、巨大配線を多層構造にしたことを特徴とする。メモリチップ 2 0 I は、2 層構成の巨大配線を有する。第 1 層目はバス 3 0 B<sub>1</sub>、3 0 B<sub>2</sub> を構成する巨大配線であり、第 2 層目はバス 3 0 E<sub>1</sub>、3 0 E<sub>2</sub> を構成する巨大配線である。図 1 4 では、第 2 層目のバス 3 0 E<sub>1</sub>、3 0 E<sub>2</sub> を二重線で図示してある。図示する構成では、第 1 層目と第 2 層目のバスは直交するように配置されている。第 1 層目のバス 3 0 B<sub>1</sub>、3 0 B<sub>2</sub> と第 2 層目のバス 3 0 E<sub>1</sub>、3 0 E<sub>2</sub> とはスルーホール（ビアホール）5 0 を介して接続されている。また、第 2 層目のバス 3 0 E<sub>1</sub>、3 0 E<sub>2</sub> には、ロジックチップ 1 0 I との接続用パッド 2 4 c が図示するように設けられている。

## 【 0 0 5 6 】

図 1 5 は、第 1 層目の巨大配線と第 2 層目の巨大配線との関係を示す断面図である。第 1 層目の巨大配線 3 8 と第 2 層目の巨大配線 5 1 とは、スルーホール 5 0 を介して電氣的に接続されている。第 2 層目の巨大配線 5 1 は、カバー膜 5 3 で覆われている。なお、1 層構成の場合、絶縁膜 3 9 はカバー膜であったが、図 1 5 の例のように多層構造ではポリイミドなどの層間絶縁膜となる。巨大配線 5 1 を一部露出させ、ロジックチップ 1 0 I との電氣的接続を形成するためのパッド 5 2 とする。このパッド 5 2 は、図 1 4 に示すパッド 2 4 c に相当する。なお、図 1 5 に示す第 1 層目の巨大配線 3 8 と第 2 層目の巨大配線 5 1 は平行であり図 1 4 と異なるが、図 1 5 はあくまで第 1 層目と第 2 層目の巨大配線間の多層関係を分り易く図示するために敢えてそのように図示してある。

## 【 0 0 5 7 】

第 1 層目のバス 3 0 B<sub>1</sub> と 3 0 B<sub>2</sub> との電氣的接続は第 2 層目のバス 3 0 E<sub>1</sub> と 3 0 E<sub>2</sub> とで形成されるため、ロジックチップ 1 0 I は図 9 に示すロジックチップ 1 0 D の巨大配線によるバス 4 0 C<sub>1</sub>、4 0 C<sub>2</sub> を具備しない。

## 【 0 0 5 8 】

本発明の多層構造は上述したような 2 層構造に限定されず、何層であっても良

い。

#### 【0059】

図16は、本発明の第9の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ10Jとメモリチップ20Jとを有する。

#### 【0060】

第9の実施の形態は、巨大配線をチップ内の回路を接続する配線としても用いることを特徴とする。巨大配線58は、ロジックチップ10J内の機能ブロック27<sub>1</sub>と27<sub>3</sub>を接続するものである。巨大配線58の両端部は、コンタクト部60により機能ブロック27<sub>1</sub>と27<sub>3</sub>に接続されている。

#### 【0061】

巨大配線54は、ロジックチップ10Jの機能ブロック27<sub>1</sub>と27<sub>3</sub>を接続するために、メモリチップ20J側に設けられたものである。機能ブロック27<sub>1</sub>と27<sub>3</sub>には、コンタクト部62とこれに接続するバンプなどの突起電極62が設けられている。メモリチップ20Jに設けられた巨大配線54の両端には、重ね合わせた時に突起電極61と接続されるパッド55が設けられている。機能ブロック27<sub>1</sub>と27<sub>3</sub>は、メモリチップ20Jに設けられた巨大配線54で電氣的に接続される。

#### 【0062】

巨大配線59はロジックチップ10Jに設けられ、メモリチップ20Jの巨大配線によるバス30の上下にあるパッド状の電極57を電氣的に接続するものである。電極57は、メモリチップ20Jの回路に接続するコンタクト部56と電氣的に接続されている。コンタクト部56と電極57とは、図5に示す構成と同様に構成されている。

#### 【0063】

以上の通り、巨大配線はチップ内の回路を接続するためにも利用できる。

#### 【0064】

以上説明した第1から第9の実施の形態におけるメモリチップ20A～20J

のメモリブロックを以下に説明するように構成すると、汎用性の高いシステムLSIが構成できる。

#### 【0065】

図17は、上記の点を考慮したシステムLSIの構成例である。図示するシステムLSIは、フラッシュ（Flash）などの不揮発性メモリ65、キャッシュメモリなどとして用いられるSRAMなどの高速メモリ66、及びDRAMなどの大容量RAM67を具備する。これらのメモリは、巨大配線で形成されるバス300に接続されている。また、このバス300には、機能ブロック68～70を具備するロジック部200が接続されている。各機能ロジック68～70は、バス300を介して各メモリ65～67に自由にアクセスできる。これにより、数々の用途に対応できるシステムLSIとなる。

#### 【0066】

以下に説明する各実施の形態は、図17に示すシステムLSIを構成するものである。

#### 【0067】

図18は、本発明の第10の実施の形態によるマルチチップ半導体装置を示すである。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図示するマルチチップ半導体装置は、ロジックチップ10Kとメモリチップ20Kとを有する。

#### 【0068】

メモリチップ20Kは、単一のチップの中に、フラッシュメモリなどの不揮発性メモリ65、SRAMなどの高速メモリ66、DRAMなどの大容量メモリ67の各メモリブロックを形成し、これらを巨大配線で形成されたループ状のバス30D（図17のバス300に相当する）で接続したものである。換言すれば、メモリチップ20Kは、図10に示すメモリチップ20Eのメモリブロックをフラッシュ、SRAM及びDRAMに造り分けたものに相当する。

#### 【0069】

ロジックチップ10Kは、複数の機能ブロック27<sub>1</sub>～27<sub>3</sub>（それぞれ図17の機能ブロック68～70に対応する）、コンタクト部28及びこれに接続さ

れるバンプなどの突起電極 2 9 を具備するもので、図 1 0 に示すロジックチップ 1 0 E に相当する。ロジックチップ 1 0 K は、メモリチップ 2 0 K 上に搭載される。

## 【 0 0 7 0 】

図 1 9 は、本発明の第 1 1 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。

## 【 0 0 7 1 】

上述した第 1 0 の実施の形態で用いられるメモリチップ 2 0 K は、1 つのチップに 3 種類の異なるメモリを混在させるため、統一したプロセス技術が必要になる。これに対し、図 1 9 に示す構成は、3 つの異なるメモリを別チップとしたもので、プロセス上の制約なく製造できる。

## 【 0 0 7 2 】

図 1 9 に示すように、フラッシュメモリなどの不揮発性メモリチップ 6 5 A、SRAM などの高速メモリチップ 6 6 B、DRAM などの大容量メモリチップ 6 7 A をロジックチップ 1 0 L 上に搭載する。ロジックチップ 1 0 L は、3 つのメモリチップ 6 5 A ～ 6 7 A を合わせたチップ面積よりも広いチップ面積を有する。各メモリチップ 6 5 A ～ 6 7 A は、内部回路とコンタクトするコンタクト部 4 4 及びバンプなどの突起電極 4 5 を具備する。

## 【 0 0 7 3 】

ロジックチップ 1 0 L は、巨大配線で形成されたループ上のバス 4 0 C を有し、コンタクト部 4 6 を介して機能ブロック 2 7<sub>1</sub> ～ 2 7<sub>3</sub> に接続されている。各バス線上には、3 つのメモリチップ 6 5 A、6 6 A 及び 6 7 A の突起電極 4 5 にコンタクトする 4 7 が形成されている。

## 【 0 0 7 4 】

なお、巨大配線によるバス 4 0 C は必ずしもロジックチップ 1 0 L に用意する必要はなく、例えば全部又は一部をメモリチップに形成しても良い。例えば、前述した図 1 3 に示す本発明の第 7 の実施の形態と同様に、メモリチップ 6 7 A に巨大配線によるバスを形成し、ロジックチップ 1 0 L のバスと接続することでル

ープ状のバスを形成することとしても良い。

【 0 0 7 5 】

図 2 0 は、本発明の第 1 2 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図 2 0 に示すマルチチップ半導体装置は、フラッシュメモリなどの不揮発性メモリチップ 6 5 B、SRAM などの高速メモリチップ 6 6 B、及び DRAM 等の大容量メモリ 6 7 B、及びロジックチップ 1 0 M を具備する。ロジックチップ 1 0 M のチップ面積は、3 つのメモリチップ 6 5 B、6 5 B、6 7 B を合わせたチップ面積よりも狭い。

【 0 0 7 6 】

ロジックチップ 1 0 M は、巨大配線によるループ状のバス 4 0 C を有する。3 つのメモリチップ 6 5 B ～ 6 7 B を図示するように配置し、その上にロジックチップ 1 0 M を載せる。これにより、各メモリチップ 6 5 B ～ 6 7 B の突起電極 4 6 がバス 4 0 C 上のパッド 4 7 に接続し、これらのチップとバス 4 0 C とが電氣的に接続される。各メモリチップ 6 5 B ～ 6 7 B は、バンプなどの突起電極 7 1、外部接続用のパッド 7 3、及び突起電極 7 1 と外部接続用パッド 7 3 とを接続する巨大配線 7 2 を具備する。ロジックチップ 1 0 M は内部回路に接続されるコンタクト部 6 9 と、これに接続されるパッド 7 0 とを具備する。ロジックチップ 1 0 M をメモリチップ 6 5 B ～ 6 7 B に搭載すると、パッド 7 0 が対応するメモリチップ 6 5 B ～ 6 7 B の突起電極 7 1 に接続する。これにより、ロジックチップ 1 0 M を介した外部とのインタフェースがメモリチップ 6 5 B ～ 6 7 B を介して実現できる。

【 0 0 7 7 】

図 2 1 は、メモリチップ 6 5 B ～ 6 7 B 上にロジックチップ 1 0 M と搭載した状態のマルチチップ半導体装置の斜視図である。メモリチップ 6 5 B ～ 6 7 B は、パッケージのステージ上に搭載されている。つまり、紙面はパッケージのステージに相当する。ボンディングワイヤ 7 6 を用いて、メモリチップ 6 5 B ～ 6 7 B の外部接続用パッド 7 1 とパッケージのステージ上に形成された電極 7 5 とが電氣的に接続される。メモリチップ 6 5 B ～ 6 7 B 及びロジックチップ 1 0 M は

、図示を省略する樹脂で覆われる。

## 【 0 0 7 8 】

図 2 2 は、本発明の第 1 3 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図 2 2 に示すマルチチップ半導体装置は、フラッシュメモリなどの不揮発性メモリチップ 6 5 C、SRAM などの高速メモリチップ 6 6 C、及び DRAM 等の大容量メモリ 6 7 C、及びロジックチップ 1 0 N を具備する。

## 【 0 0 7 9 】

図 2 2 に示す構成は、図 2 0 に示す構成の変形例に相当するもので、メモリチップ 6 7 C に巨大配線で形成されるループ状のメインのバス 3 0 E を設け、その他のメモリチップ 6 5 C、6 6 C に支線のバス 3 0 E<sub>1</sub>、3 0 E<sub>2</sub> をそれぞれ設け、更にロジックチップ 1 0 N に支線となる 2 組のバス 4 0 D<sub>1</sub>、4 0 D<sub>2</sub> を設けたものである。

## 【 0 0 8 0 】

メモリチップ 6 7 C は、バス 3 0 E と内部回路とを電氣的に接続するコンタクト部 2 3、及びバス 3 0 E 上に設けられたパッド 2 4 とを有する。メモリチップ 6 5 C は、バス 3 0 E<sub>1</sub> と内部回路とを電氣的に接続するコンタクト部 2 8、及びバス 3 0 E<sub>1</sub> 上に設けられたバンプなどの突起電極 2 9 を有する。バス 3 0 E<sub>1</sub> は、屈曲したパターンを有する。同様に、メモリチップ 6 6 C は、バス 3 0 E<sub>2</sub> と内部回路とを電氣的に接続するコンタクト部 2 8、及びバス 3 0 E<sub>2</sub> 上に設けられたバンプなどの突起電極 2 9 を有する。バス 3 0 E<sub>2</sub> は、屈曲したパターンを有する。ロジックチップ 1 0 N は、バス 4 0 D<sub>1</sub>、4 0 D<sub>2</sub> と内部回路とを電氣的に接続するコンタクト部 2 8、及びバス 4 0 D<sub>1</sub>、4 0 D<sub>2</sub> 上に設けられたバンプなどの突起電極 2 9 を有する。また、ロジックチップ 1 0 N は、外部接続用のパッド 7 7 を有する。

## 【 0 0 8 1 】

メモリチップ 6 7 C を図示するようにして他のチップ 6 5 C、6 6 C、1 0 N 上に重ねると、チップ 6 5 C、6 6 C、1 0 N の突起電極 2 9 がメモリチップ 6



7Cのパッド24にコンタクトする。これにより、メインのバス30Eに支線のバス30E<sub>1</sub>、30E<sub>2</sub>、40D<sub>1</sub>、40D<sub>2</sub>が接続される。

【0082】

なお、上記説明では便宜上、メモリチップ65C、66C、67Cをそれぞれ不揮発性メモリチップ、高速メモリチップ及び大容量メモリチップとしたが、本実施の形態はこの組み合わせに限定されない。例えば、メモリチップ67Cが高速メモリチップであっても良い。また、ロジックチップ10Nをメモリチップとし、65C～67Cのいずれか一つをロジックチップとしても良い。

【0083】

図23は、本発明の第14の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図23に示すマルチチップ半導体装置は、4つのチップ80<sub>1</sub>～80<sub>4</sub>を具備し、チップ80<sub>1</sub>と80<sub>2</sub>を長手方向の辺が向かい合うように並べ、その上にチップ80<sub>3</sub>と80<sub>4</sub>を載せる構成である。このように組み立てた状態で、巨大配線で形成されるループ状のバス81が形成される。

【0084】

チップ80<sub>1</sub>と80<sub>2</sub>はそれぞれ、巨大配線で形成されるバス81<sub>1</sub>、81<sub>2</sub>、内部回路とバスとを電氣的に接続するコンタクト部23、バス上に形成されたパッド24、及び外部接続用のパッド77を具備する。チップ80<sub>3</sub>と80<sub>4</sub>はそれぞれ、巨大配線で形成されるバス81<sub>3</sub>、81<sub>4</sub>、内部回路とバスとを電氣的に接続するコンタクト部28、及びバス上に形成されたバンプなどの突起電極29を具備する。

【0085】

チップ80<sub>3</sub>と80<sub>4</sub>をチップ80<sub>1</sub>と80<sub>2</sub>に載せることで突起電極28とパッド23とがコンタクトし（図中、黒丸で示す）、ループ状のバス81が形成される。

【0086】

図24は、図23に示すマルチチップ半導体装置の斜視図である。チップ80<sub>1</sub>～80<sub>4</sub>は、パッケージのステージ上に搭載されている。つまり、紙面はパッ

ケージのステージに相当する。ボンディングワイヤ 7 6 を用いて、チップ 8 0<sub>1</sub> ~ 8 0<sub>4</sub> の外部接続用パッド 7 1 とパッケージのステージ上に形成された電極 7 5 とが電氣的に接続される。チップ 8 0<sub>1</sub> ~ 8 0<sub>4</sub> は、図示を省略する樹脂で覆われる。

## 【 0 0 8 7 】

図 2 5 は、本発明の第 1 5 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。図 2 5 に示すマルチチップ半導体装置は、3 つのチップ 8 5<sub>1</sub> ~ 8 5<sub>4</sub> を具備し、チップ 8 5<sub>1</sub> と 8 5<sub>2</sub> を長手方向の辺が向かい合うように並べ、その上にチップ 8 5<sub>3</sub> を載せる構成である。

## 【 0 0 8 8 】

チップ 8 5<sub>1</sub> と 8 5<sub>2</sub> はそれぞれ、巨大配線で形成されるバス 8 6<sub>1</sub>、8 6<sub>2</sub>、内部回路とバスとを電氣的に接続するコンタクト部 2 3、バス上に形成されたパッド 2 4、及び外部接続用のパッド 7 7 を具備する。チップ 8 5<sub>3</sub> は、巨大配線で形成されるバス 8 6<sub>3</sub>、内部回路とバスとを電氣的に接続するコンタクト部 2 8、及びバス上に形成されたバンプなどの突起電極 2 9 を具備する。

## 【 0 0 8 9 】

図 2 5 に示すようにしてチップ 8 5<sub>3</sub> をチップ 8 5<sub>1</sub> と 8 5<sub>2</sub> に載せることで突起電極 2 8 とパッド 2 3 とがコンタクトし（図中、黒丸で示す）、バス 8 6<sub>1</sub>、8 6<sub>2</sub> とバス 8 6<sub>3</sub> とが電氣的に接続される。

## 【 0 0 9 0 】

図 2 6 は、システム L S I として汎用性の高い別の（図 1 7 とは異なる）構成のマルチチップ半導体装置を示すブロック図である。図示するマルチチップ半導体装置は、フラッシュメモリなどの不揮発性メモリ 6 5、D R A M などの大容量メモリ 6 7、画像データを格納するフレームメモリ 9 1、巨大配線で形成されるバス 3 0 0 A、及びロジックチップ 6 8 を具備する。

## 【 0 0 9 1 】

ロジックチップ 6 8 は、フレームメモリ 9 1 に格納された画像データに所定の画像処理を施し、処理で得られたデータをメモリチップ 6 5、6 7 に送る。実際

の処理では、フレームメモリ 9 1 からデータを読み出しつつ、画像処理したデータをメモリチップ 6 5、6 7 へ送出する。従って、図 1 7 に示すシステム構成ではバス 3 0 0 が各チップに共通に設けられているため、上記並列処理を効率的に行うことは難しい。

#### 【0 0 9 2】

図 2 6 はこの点を考慮したもので、フレームメモリ 9 1 をバス 3 0 0 A に接続せず、バス 9 2 を用いてロジックチップ 6 8 に直接接続する構成である。バス 9 2 も巨大配線で構成することが好ましい。

#### 【0 0 9 3】

図 2 7 は、図 2 6 に示すシステム構成を有する本発明の第 1 6 の実施の形態によるマルチチップ半導体装置を示す図である。図中、前述した構成要素と完全に同一又は同一性のある構成要素には同一の参照番号を付す。

#### 【0 0 9 4】

不揮発性メモリチップ 6 5 D、大容量メモリチップ 6 7 D 及びフレームメモリ 9 1 を図示するように配置し、その上にロジックチップ 6 8 D を載せる。不揮発性メモリチップ 6 5 D、大容量メモリチップ 6 7 D 及びフレームメモリ 9 1 はそれぞれ、内部回路とコンタクトするコンタクト部 9 3、外部接続用のパッド 9 4 及びコンタクト部 9 3 と外部接続用パッド 9 4 とを接続する巨大配線 8 8 とを有する。また、不揮発性メモリチップ 6 5 D、大容量メモリチップ 6 7 D 及びフレームメモリ 9 1 はそれぞれ、内部回路とコンタクトするコンタクト部 9 5、及びこれに接続するバンプなどの突起電極 9 6 を具備する。コンタクト部 9 5 と突起電極 9 6 とは、巨大配線で接続されている。突起電極 9 6 は、ロジックチップ 6 8 D との電氣的接続を形成するためのものである。

#### 【0 0 9 5】

ロジックチップ 6 8 D は、巨大配線で形成される 2 組のバス 4 0 E、4 0 E<sub>1</sub>、内部回路とコンタクトするコンタクト部 9 7、及び巨大配線を介してコンタクト部 9 7 に接続されるパッド 9 8 とを具備する。バス 4 0 E はコンタクト部 1 0 3 を介して内部回路に接続する。また、バス 4 0 E の両端には、対応するチップとの接続用パッド 1 0 4 が設けられている。バス 4 0 E<sub>1</sub> の一端には内部回路と

接続するコンタクト部 1 0 1 が設けられ、他端には対応するチップとの接続用パッド 1 0 2 が設けられている。

#### 【 0 0 9 6 】

ロジックチップ 6 8 D をメモリチップ 6 5 D、6 7 D 及び 9 1 上に図示するように載せる。この組み立て状態において、ロジックチップ 6 8 D のパッド 1 0 4 がメモリチップ 6 5 D 及び 6 7 D の突起電極 9 6 にコンタクトし、ロジックチップ 6 8 D とメモリチップ 6 5 D、6 7 D がバス 4 0 E (第 1 の配線系統) を介して接続される。また、ロジックチップ 6 8 D のパッド 1 0 2 はフレームメモリ 9 1 の突起電極 9 6 とコンタクトし、ロジックチップ 6 8 D とフレームメモリ 9 1 とがバス 4 0 E<sub>1</sub> (第 2 の配線系統) を介して接続される。つまり、図 2 7 に示すマルチチップ半導体装置は図 2 6 に示すシステム構成を具備する。

#### 【 0 0 9 7 】

以上説明した各実施の形態では、組み合わされる各チップのバスは巨大配線で形成されていたが、一部のチップのみに巨大配線を用い、残りのチップは通常のバスを用いた構成であっても良い。この例を図 2 8 に示す。

#### 【 0 0 9 8 】

図 2 8 に示すマルチチップ半導体装置は、ロジックチップ 1 0 Q とメモリチップ 2 0 Q とを有する。メモリチップ 2 0 Q は、メモリブロックを互いに接続する巨大配線で形成されたバス 3 0 Q を具備する。他方、ロジックチップ 1 0 Q は通常のチップ構成であり、バス 1 0 3 に機能ブロックが接続され、外部との接続は I/O 回路 1 0 2 を介して行われる。メモリチップ 2 0 Q とロジックチップ 1 0 Q との接続は、ロジックチップ 1 0 2 の I/O 回路 1 0 2 をメモリチップ 2 0 Q のバス 3 0 Q に接続させることでなされる。

#### 【 0 0 9 9 】

図 2 8 に示す構成は、複数のチップが巨大配線で形成されるバスを共有する構成に比べ、遅延時間の短縮や消費電力の削減の効果は小さいものとなるが、図 2 に示す構成に比べれば効果は大である。

#### 【 0 1 0 0 】

以上、本発明の実施の形態を説明した。本発明は、上述した実施の形態に限定

されない。

【 0 1 0 1 】

例えば、上述した実施の形態では、ロジックチップがメモリチップより大きい場合や、メモリチップがロジックチップより大きい場合があったが、どちらが大きくても本発明に含まれる。

【 0 1 0 2 】

上述した実施の形態では、ロジックチップで外部とのインタフェースを取る構成であったが、メモリで外部とのインタフェースを取る構成であっても良い。また、メモリチップとロジックチップを混載する構成であったが、メモリチップ同士を混載しても良いし、メモリチップ同士を混載しても良い。更に、ロジックチップやメモリチップ以外のチップを用いた構成も本発明に含まれる。

【 0 1 0 3 】

上述した実施の形態では、重ね合わせたチップ間の接続は突起電極とパッドであったが、突起電極とバンプをどちらのチップに設けても良い。また、パッドに代えてバンプなどの突起電極を用い、突起電極同士を接続するようにしても良い。また、突起電極はバンプに限定されるものではなく、他の構成の突起電極を用いても良い。更に、突起電極に限らず、他の構成の電極を用いても良い。

【 0 1 0 4 】

上述した実施の形態では、ボンディングワイヤを用いて外部接続用端子から他の端子への引き出しを行っているが、TABやバンプなど他の引き出し手段を用いても良い。

【 0 1 0 5 】

上述した実施の形態では、チップを覆う樹脂をいちいち図示していないが、マルチチップ半導体装置を構成する各チップを樹脂で覆うことは本発明の範囲内である。

(付記)

以上説明した本発明の要旨は次の通りである。

【 0 1 0 6 】

(付記 1) 半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電

線を有する半導体装置であって、

前記導電線は、前記配線層に設けられた複数の第 1 の電極と、前記導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極を互いに接続する半導体装置。

【 0 1 0 7 】

(付記 2) 半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有する半導体装置であって、

前記導電線は、前記配線層に設けられた少なくとも 1 つの第 1 の電極と、前記導電線上に設けられた外部接続用の複数の第 2 の電極を互いに接続する半導体装置。

【 0 1 0 8 】

(付記 3) 半導体基板上に形成された配線層を覆う絶縁層上に設けられた複数の導電線を有する半導体装置であって、

該半導体装置は、前記各導電線が前記配線層に設けられた複数の第 1 の電極と前記各導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極とを互いに接続する第 1 の構成と、前記配線層に設けられた少なくとも 1 つの第 1 の電極と前記各導電線上に設けられた外部接続用の複数の第 2 の電極とを互いに接続する第 2 の構成の少なくとも一方を具備し、

当該半導体装置と他の半導体装置とを重ね合わせた場合に、前記第 2 の電極が前記他の半導体装置の対応する電極に接続することで、前記複数の導電線の少なくとも一部は互いに接続されるように、前記第 2 の電極が配置されている半導体装置。

【 0 1 0 9 】

(付記 4) 付記 1 ないし 3 の何れか一項記載の半導体装置において、前記導電線はループ状の導電線を含む半導体装置。

【 0 1 1 0 】

(付記 5) 付記 1 ないし 3 の何れか一項記載の半導体装置において、当該半導体装置と他の半導体装置とを重ね合わせた場合に、当該半導体装置の第 2 の電極が前記他の半導体装置の対応する電極に接続することで前記導電線がループを構

成するように、前記複数の第 2 の電極が配置されている半導体装置。

【0 1 1 1】

（付記 6）半導体基板上に形成された配線層を覆う絶縁層上に設けられた複数の導電線を有する半導体装置であって、

前記複数の導電線はそれぞれ、前記配線層に設けられた第 1 の電極と外部接続用の第 2 の電極とを接続し、当該半導体装置と他の半導体装置とを重ね合わせた場合に、当該半導体装置の第 2 の電極が前記他の半導体装置の対応する電極に接続することで前記導電線が互いに接続されるように、前記第 2 の電極が配置されている半導体装置。

【0 1 1 2】

（付記 7）複数のチップを具備し、このうちの少なくとも 1 つのチップは半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、

更に、前記少なくとも 1 つのチップは、前記導電線が前記配線層に設けられた複数の第 1 の電極と前記導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極とを互いに接続する第 1 の構成と、前記配線層に設けられた少なくとも 1 つの第 1 の電極と前記導電線上に設けられた外部接続用の複数の第 2 の電極とを互いに接続する第 2 の構成の少なくとも一方を具備する半導体装置。

【0 1 1 3】

（付記 8）第 1 及び第 2 のチップを具備し、

第 1 のチップは、第 1 の半導体基板上に形成された第 1 の配線層を覆う第 1 の絶縁層上に設けられた第 1 の導電線を有し、更に前記第 1 の導電線が前記第 1 の配線層に設けられた複数の第 1 の電極と前記第 1 の導電線上に設けられた外部接続用の少なくとも 1 つの第 2 の電極とを互いに接続する第 1 の構成と、前記第 1 の配線層に設けられた少なくとも 1 つの第 1 の電極と前記第 1 の導電線上に設けられた外部接続用の複数の第 2 の電極とを互いに接続する第 2 の構成の少なくとも一方を具備し、

第 2 のチップは第 2 の半導体基板上に形成された第 2 の配線層を覆う第 2 の絶縁層上に設けられた第 2 の導電線を有し、更に、前記複数の第 2 の導電線は前記第 2 の配線層内の第 3 の電極と外部接続用の第 4 の電極とを接続し、

前記第 1 及び第 2 のチップを重ね合わせた場合に、前記第 4 の電極が前記第 2 の電極に接続する半導体装置。

【 0 1 1 4 】

(付記 9) 第 1 及び第 2 のチップを具備し、

該第 1 のチップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、各導電線は前記配線層に設けられた第 1 の電極とこの上に設けられた外部接続用の第 2 の電極とを接続し、

第 2 のチップは、第 1 のチップと重ね合わせた場合に、前記第 2 の電極に接続して前記複数の導電線を互いに接続する複数の第 3 の電極を具備する半導体装置

【 0 1 1 5 】

(付記 1 0) 第 1 及び第 2 のチップを具備し、

該第 1 のチップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた複数の導電線を有し、各導電線は前記配線層に設けられた第 1 の電極とこの上に設けられた外部接続用の複数の第 2 の電極とを接続し、

前記第 2 のチップは、前記第 1 のチップと重ね合わされた場合に、前記第 2 の電極に接続して前記複数の導電線の各々をループ状にする複数の第 3 の電極を具備する半導体装置。

【 0 1 1 6 】

(付記 1 1) 半導体基板上に形成された配線層を覆う第 1 の絶縁層上に設けられ、前記配線層に設けられた第 1 の電極と前記第 1 の絶縁層に形成されたコンタクトホール内に設けられた第 2 の電極を接続する第 1 の導電線と、

該導電線上に設けられた第 2 の絶縁層上に設けられ、前記第 2 の電極と前記第 1 の絶縁層に形成されたコンタクトホール内に設けられた第 3 の電極を接続する第 2 の導電線と

を有する半導体装置。

【 0 1 1 7 】

(付記 1 2) 複数のチップを具備し、

各チップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導



電線を有し、該導電線は前記配線層内の第 1 の電極とこの上に設けられた外部接続用の複数の第 2 の電極とを接続し、

前記複数のチップを重ね合わせた場合に、前記複数の第 2 の電極同士が接続し、各チップの導電線は互いに接続されてループを構成する半導体装置。

【0 1 1 8】

(付記 1 3) 複数のチップを具備し、

各チップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、該導電線は前記配線層内の第 1 の電極とこの上に設けられた外部接続用の複数の第 2 の電極とを接続し、

前記複数のチップを重ね合わせた場合に、前記複数の第 2 の電極同士が接続し、各チップの導電線が複数の配線系統を構成する半導体装置。

【0 1 1 9】

(付記 1 4) 前記導電線は、バスを構成する付記 1 ないし 1 4 のいずれか一つに記載の半導体装置。

【0 1 2 0】

(付記 1 5) 前記導電線は、半導体装置又はチップに形成された複数のブロックを互いに接続する配線である付記 1 ないし 1 4 のいずれか一つに記載の半導体装置。

【0 1 2 1】

(付記 1 6) 前記半導体装置は外部接続用の電極を有し、該外部接続用の電極は、他の半導体装置と重なり合わない前記半導体基板上の領域に設けられている付記 1 ないし 1 5 のいずれか一つに記載の半導体装置。

【0 1 2 2】

(付記 1 7) 第 1 及び第 2 のチップを有し、

第 1 のチップは内部回路に接続される複数の電極を有し、

第 2 のチップは、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線を有し、該導電線は前記配線層に設けられた第 1 の電極と、前記導電線上に設けられた外部接続用の複数の第 2 の電極とを互いに接続し、

第 1 及び第 2 のチップを重ね合わせた状態で、前記複数の第 2 の電極が前記第

1 のチップの複数の電極に接続して、当該第 1 のチップの複数の電極が電氣的に接続される半導体装置。

【 0 1 2 3 】

(付記 1 8) 前記複数の半導体装置又は複数のチップは、メモリチップとロジックチップとを含むことを特徴とする付記 7 ～ 1 0、1 2、1 3 のいずれか一つに記載の半導体装置。

【 0 1 2 4 】

【発明の効果】

以上説明したように、本発明によれば、半導体基板上に形成された配線層を覆う絶縁層上に設けられた導電線、いわゆる巨大配線が複数の第 1 の電極又は第 2 の電極を互いに接続するので遅延時間が短くかつ消費電力が少ない半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

従来のロジック・メモリ混載パッケージの構成例を示す図である。

【図 2】

従来のロジック・メモリ混載マルチチップパッケージの内部構成を示すブロック図である。

【図 3】

本発明の原理を説明するブロック図である。

【図 4】

本発明の第 1 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 5】

図 4 に示すメモリチップ 2 0 A の I で示す部分の断面図である。

【図 6】

図 4 に示すメモリチップ 2 0 A の I I で示す部分の断面図である。

【図 7】

本発明の第 2 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 8】

本発明の第 3 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 9】

本発明の第 4 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 0】

本発明の第 5 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 1】

本発明の第 5 の実施の形態によるマルチチップ半導体装置の変形例を示す図である。

【図 1 2】

本発明の第 6 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 3】

本発明の第 7 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 4】

本発明の第 8 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 5】

図 1 4 に示す第 1 層目の巨大配線と第 2 層目の巨大配線との関係を示す断面図である。

【図 1 6】

本発明の第 9 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 7】

システム L S I の構成例を示す図である。

【図 1 8】

本発明の第 1 0 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 1 9】

本発明の第 1 1 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 2 0】

本発明の第 1 2 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 2 1】

図 2 0 に示すマルチチップ半導体装置の斜視図である。

【図 2 2】

本発明の第 1 3 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 2 3】

本発明の第 1 4 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 2 4】

図 2 3 に示すマルチチップ半導体装置の斜視図である。

【図 2 5】

本発明の第 1 5 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 2 6】

システム L S I の別の構成例を示すブロック図である。

【図 2 7】

本発明の第 1 6 の実施の形態によるマルチチップ半導体装置を示す図である。

【図 2 8】

図 3 に示す構成の変形例を示すブロック図である。

【符合の説明】

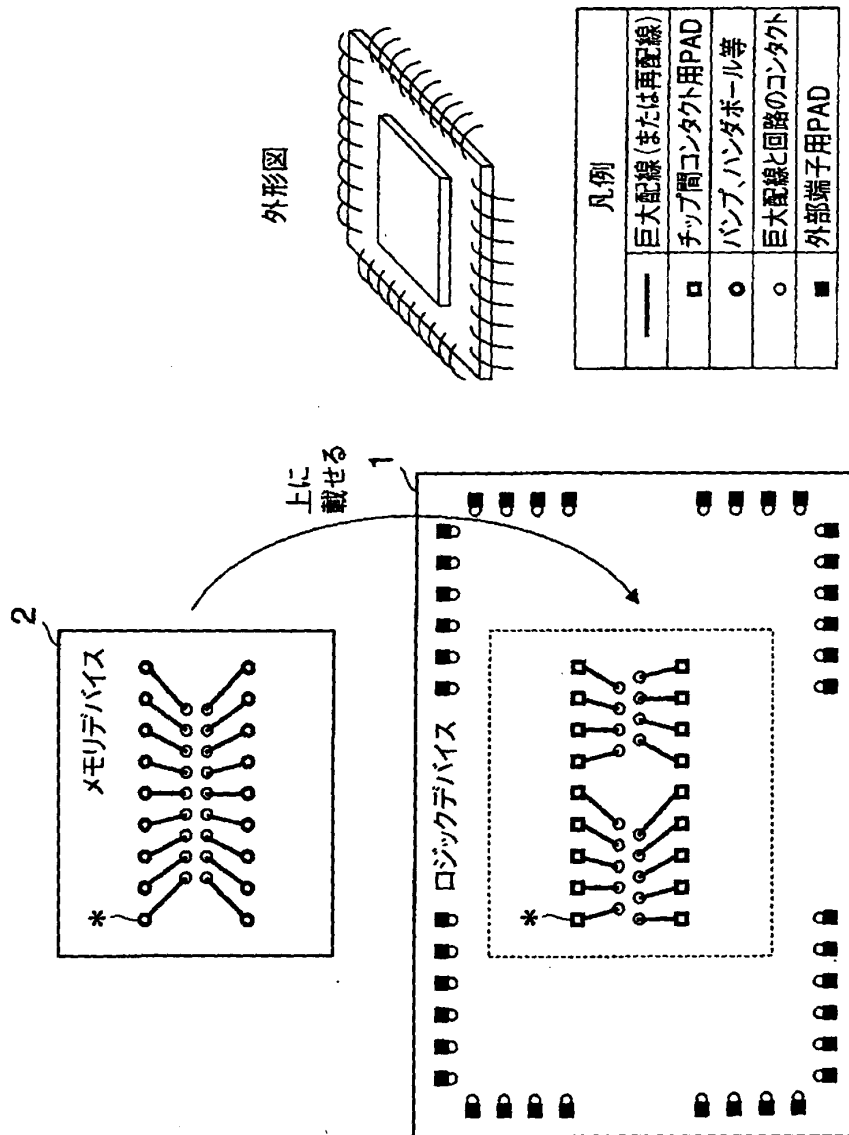
- 1 0、1 0 A … ロジックチップ
- 2 0、2 0 A … メモリチップ
- 2 2<sub>1</sub> ～ 2 2<sub>4</sub> … I / O 回路
- 2 3 … コンタクト部
- 2 4 … パッド
- 2 5 … パッド
- 2 6 … 外部接続用パッド
- 2 7<sub>1</sub> ～ 2 7<sub>3</sub> … 機能ブロック
- 2 8 … コンタクト部
- 2 9 … 突起電極
- 3 0、3 0 A … 巨大配線
- 3 1 … コンタクト部
- 3 2 … 突起電極

【書類名】

図面

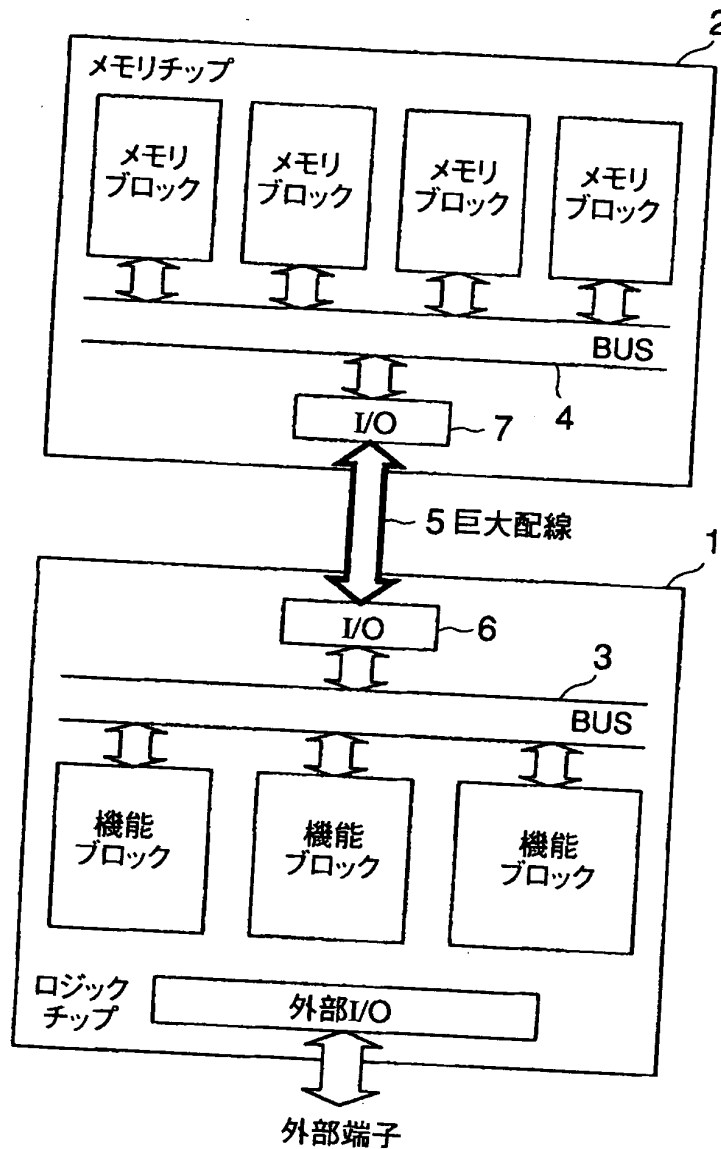
【図1】

従来のロジック・メモリ混載パッケージの構成例を示す図



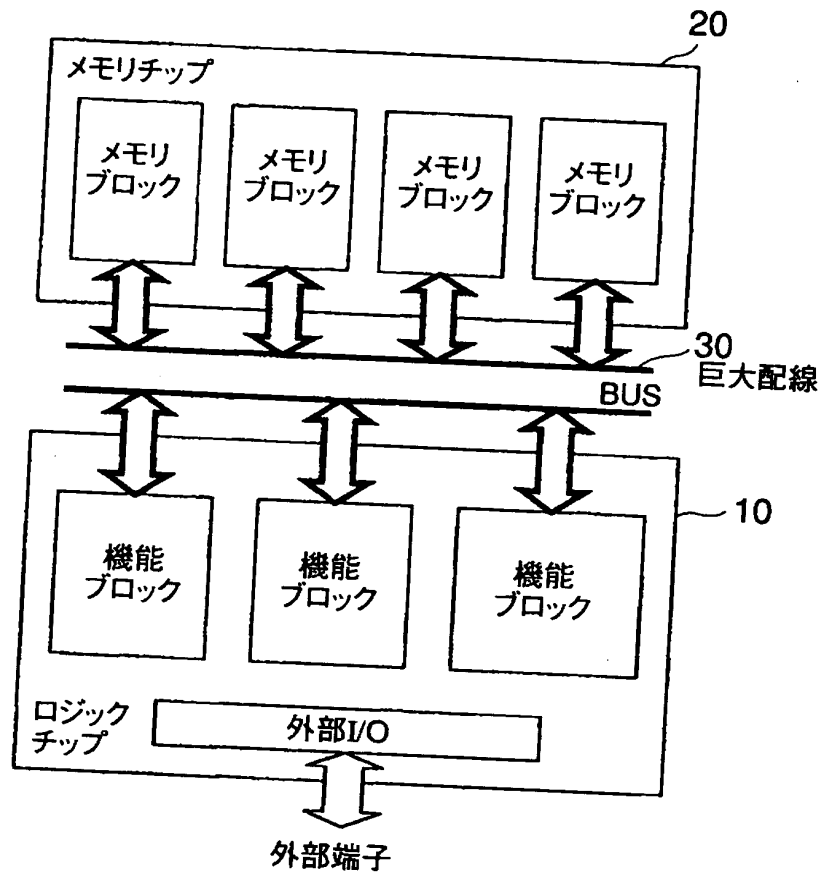
【図2】

従来のロジック・メモリ混載マルチチップパッケージの内部構成を示すブロック図



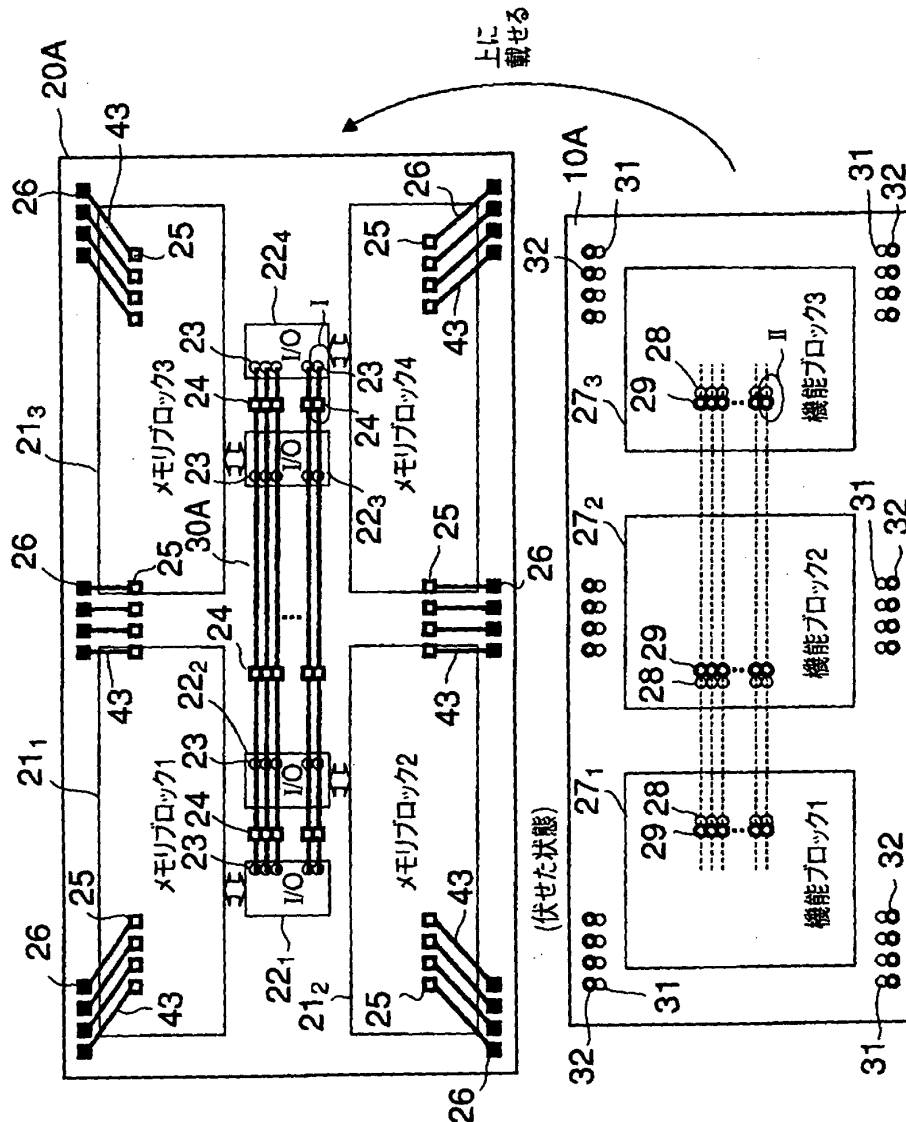
【図3】

本発明の原理を説明するブロック図



【圖 4】

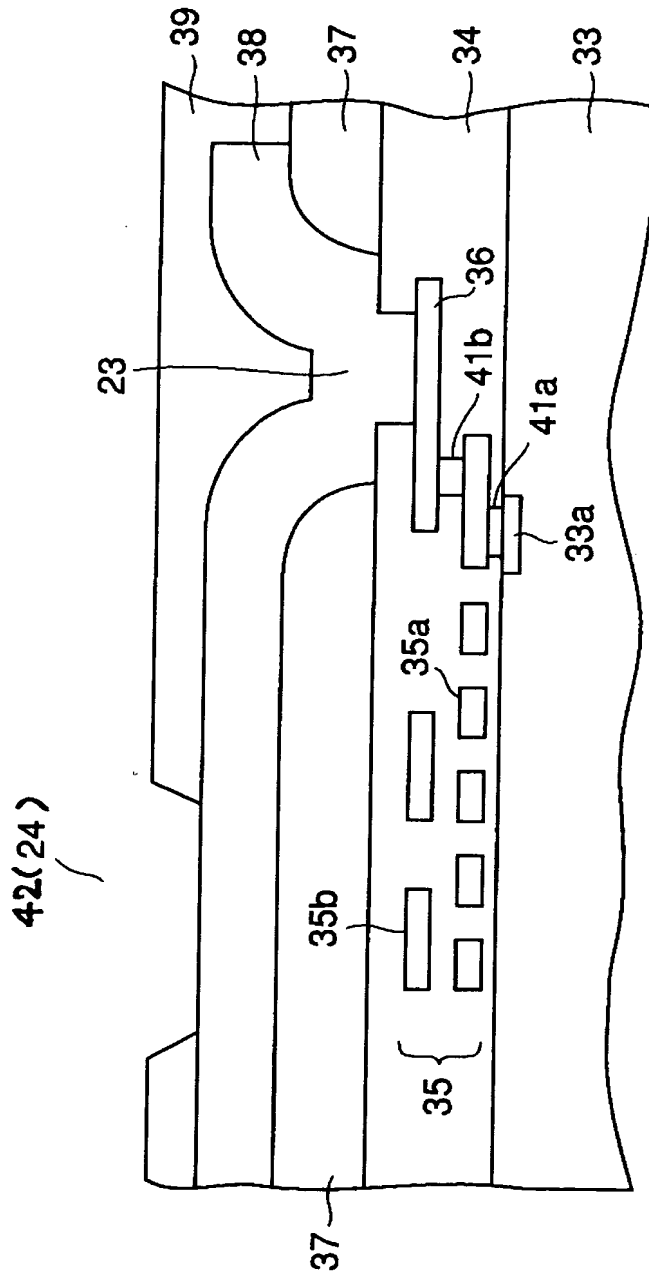
本発明の第1の実施の形態によるマルチチップ半導体装置を示す図





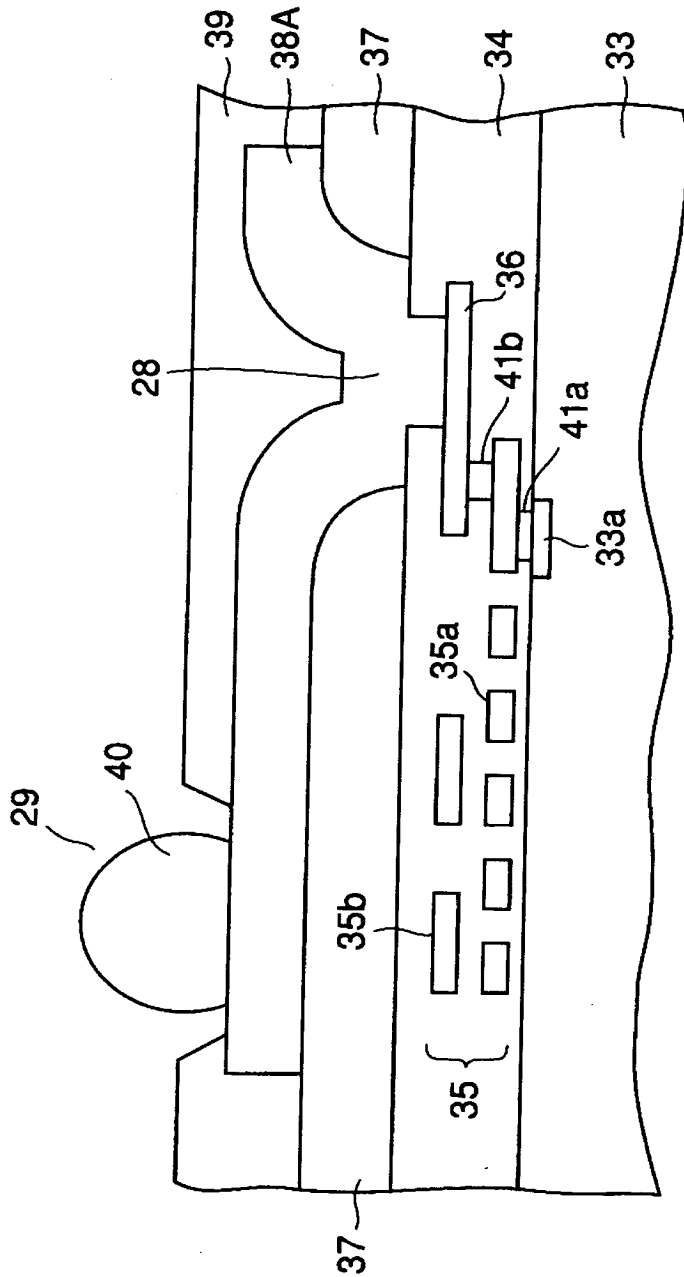
【図 5】

図4に示すメモリチップ20AのIで示す部分の断面図



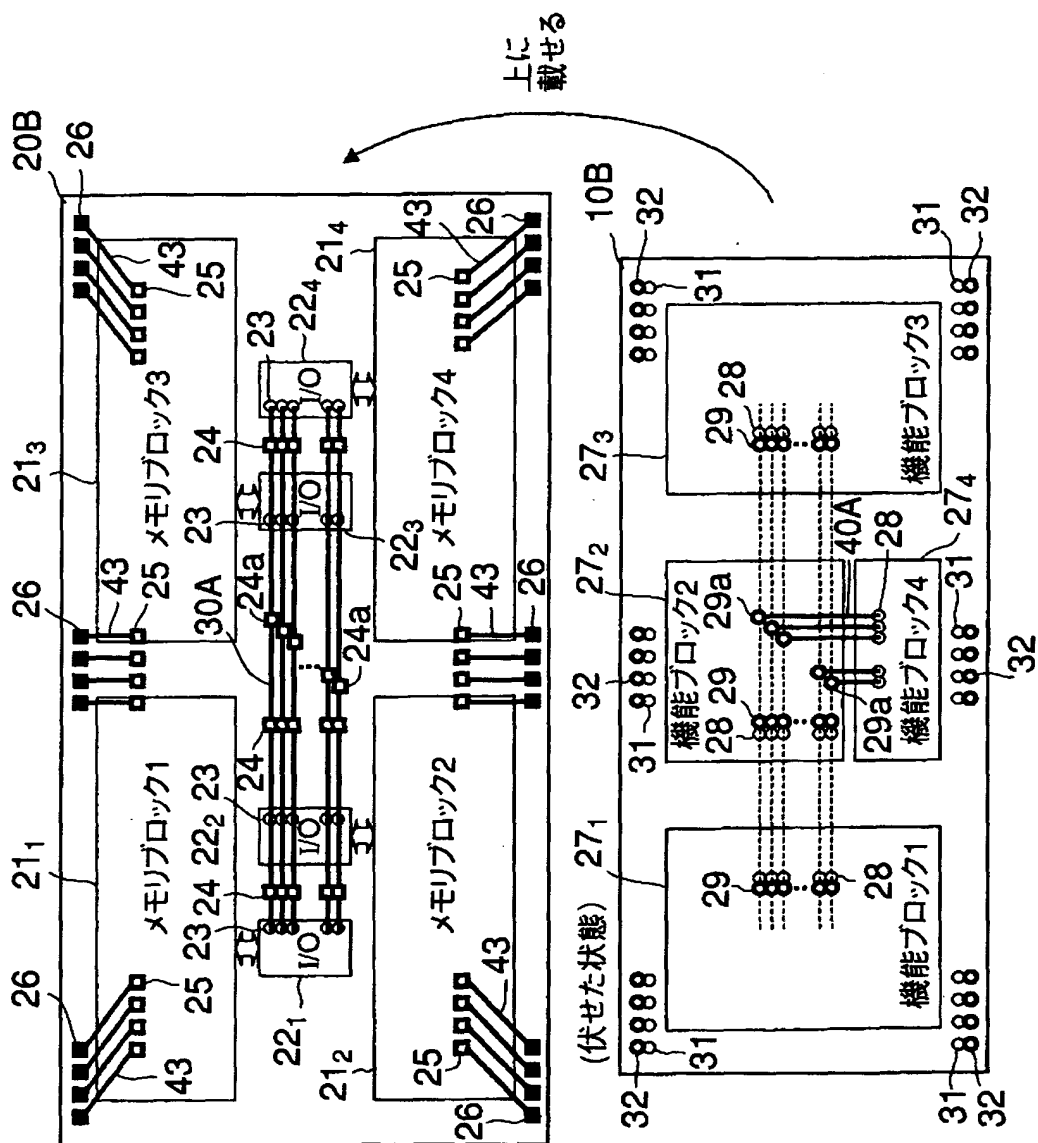
【図 6】

図4に示すメモリチップ20AのIIで示す部分の断面図



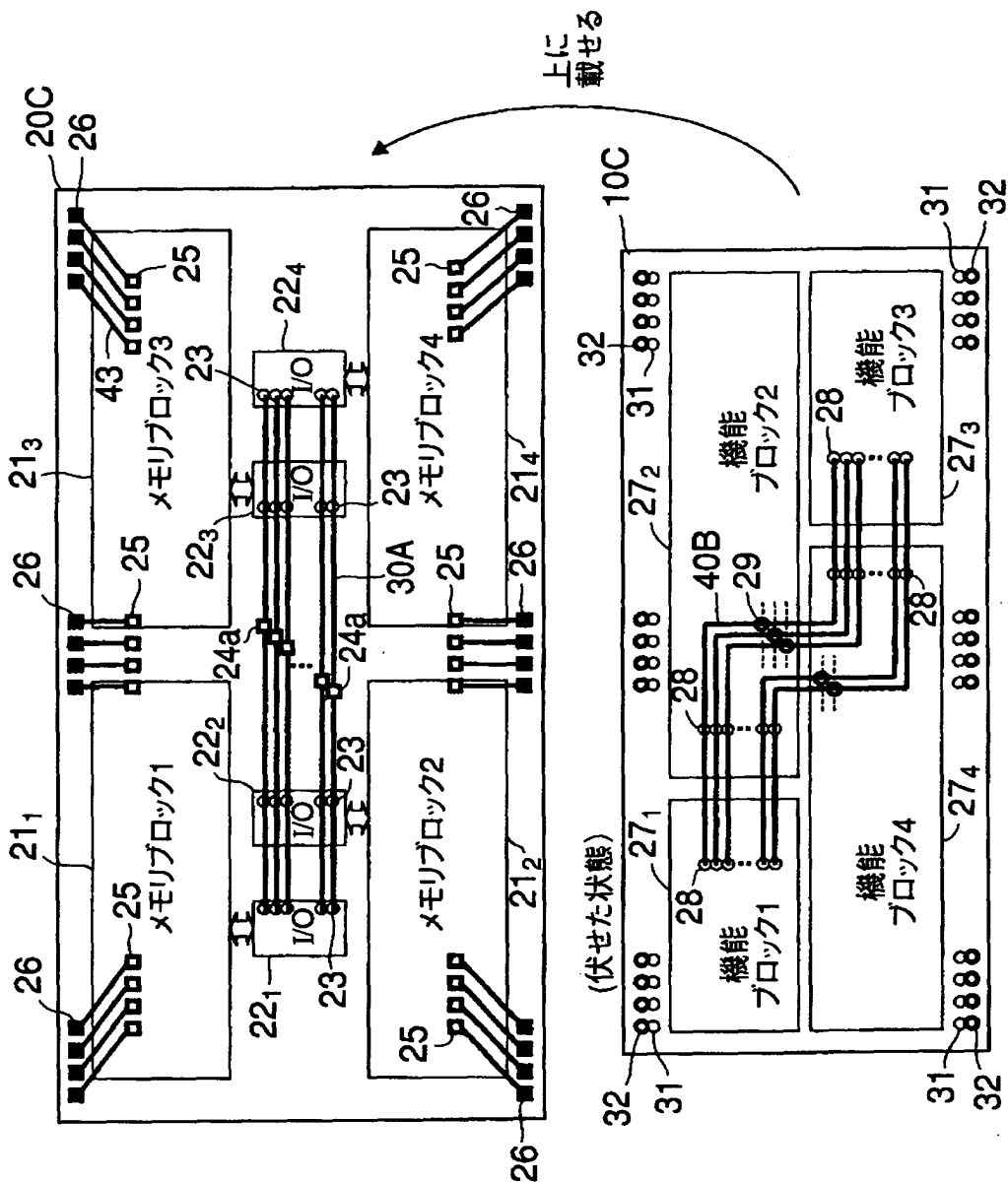
【図7】

本発明の第2の実施の形態によるマルチチップ半導体装置を示す図



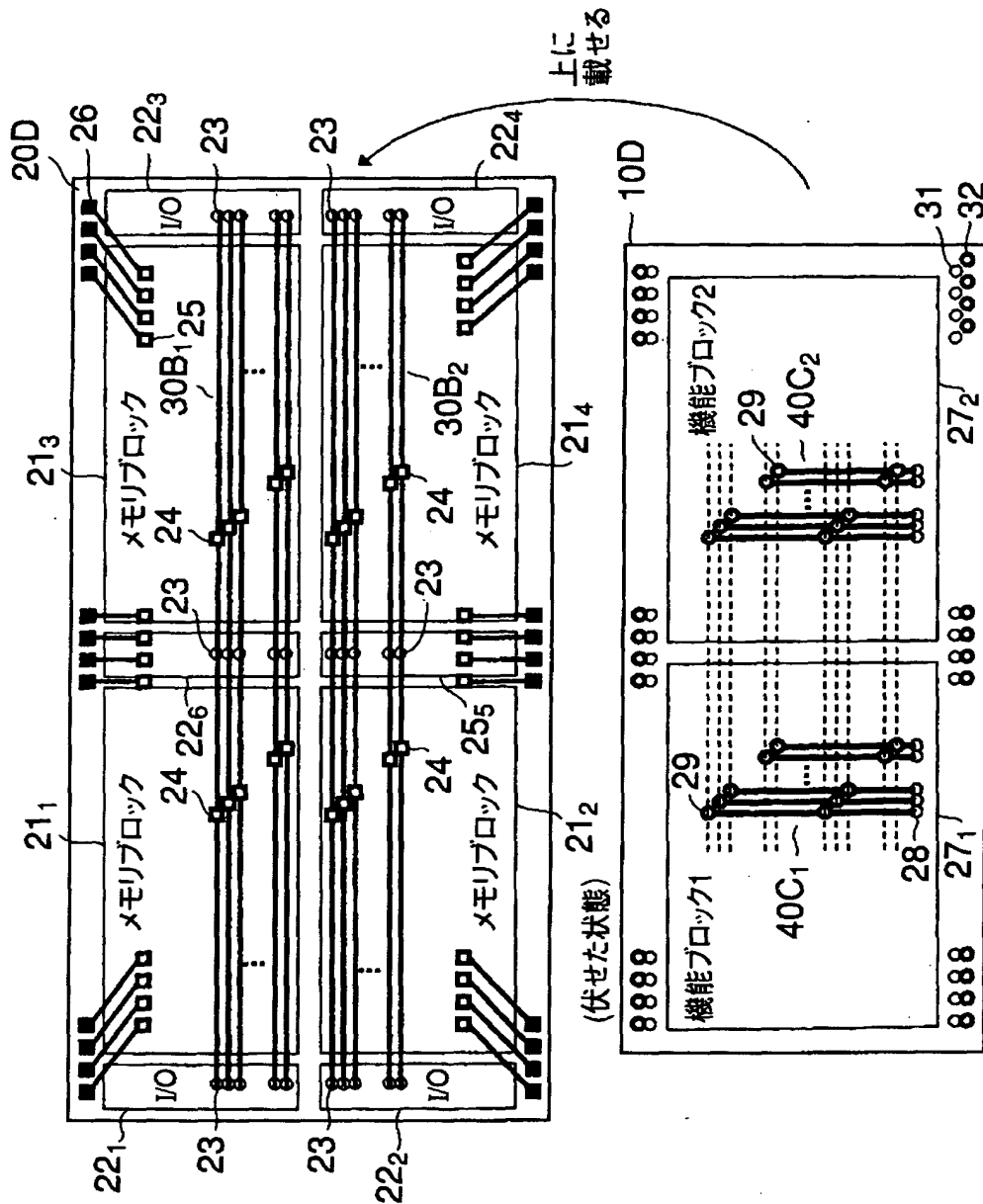
【図8】

本発明の第3の実施の形態によるマルチチップ半導体装置を示す図



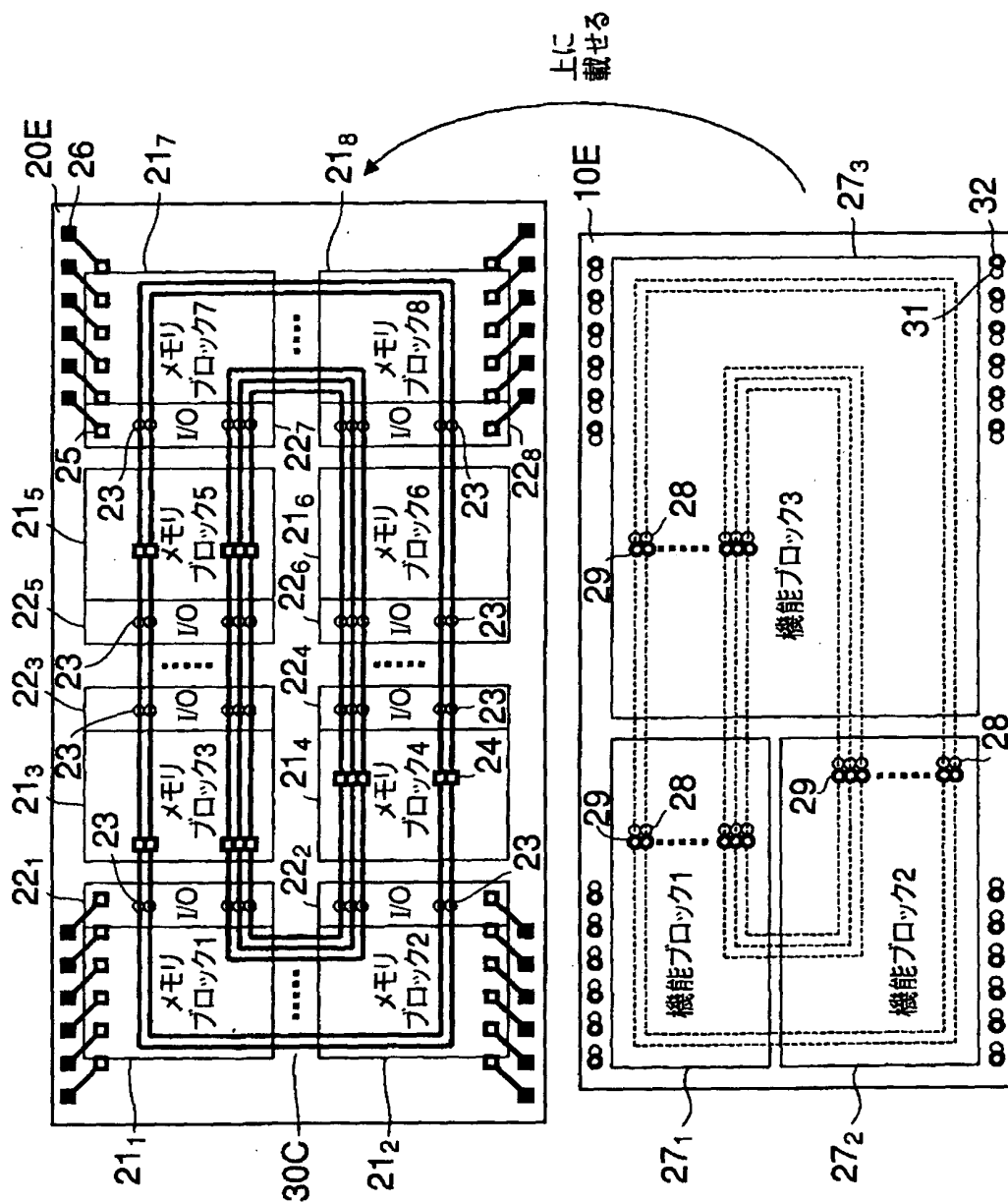
【図 9】

本発明の第4の実施の形態によるマルチチップ半導体装置を示す図



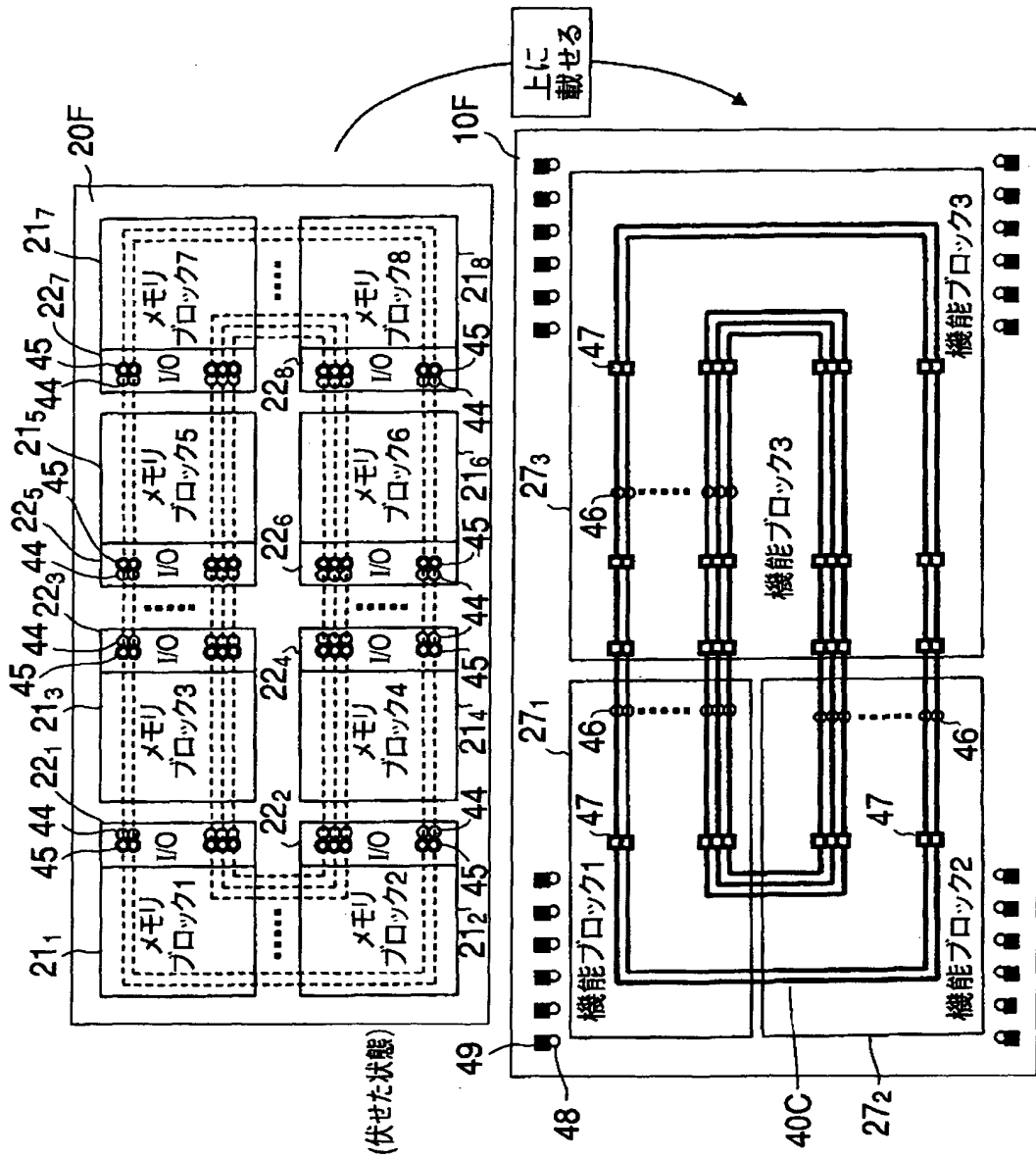
【図10】

本発明の第5の実施の形態によるマルチチップ半導体装置を示す図



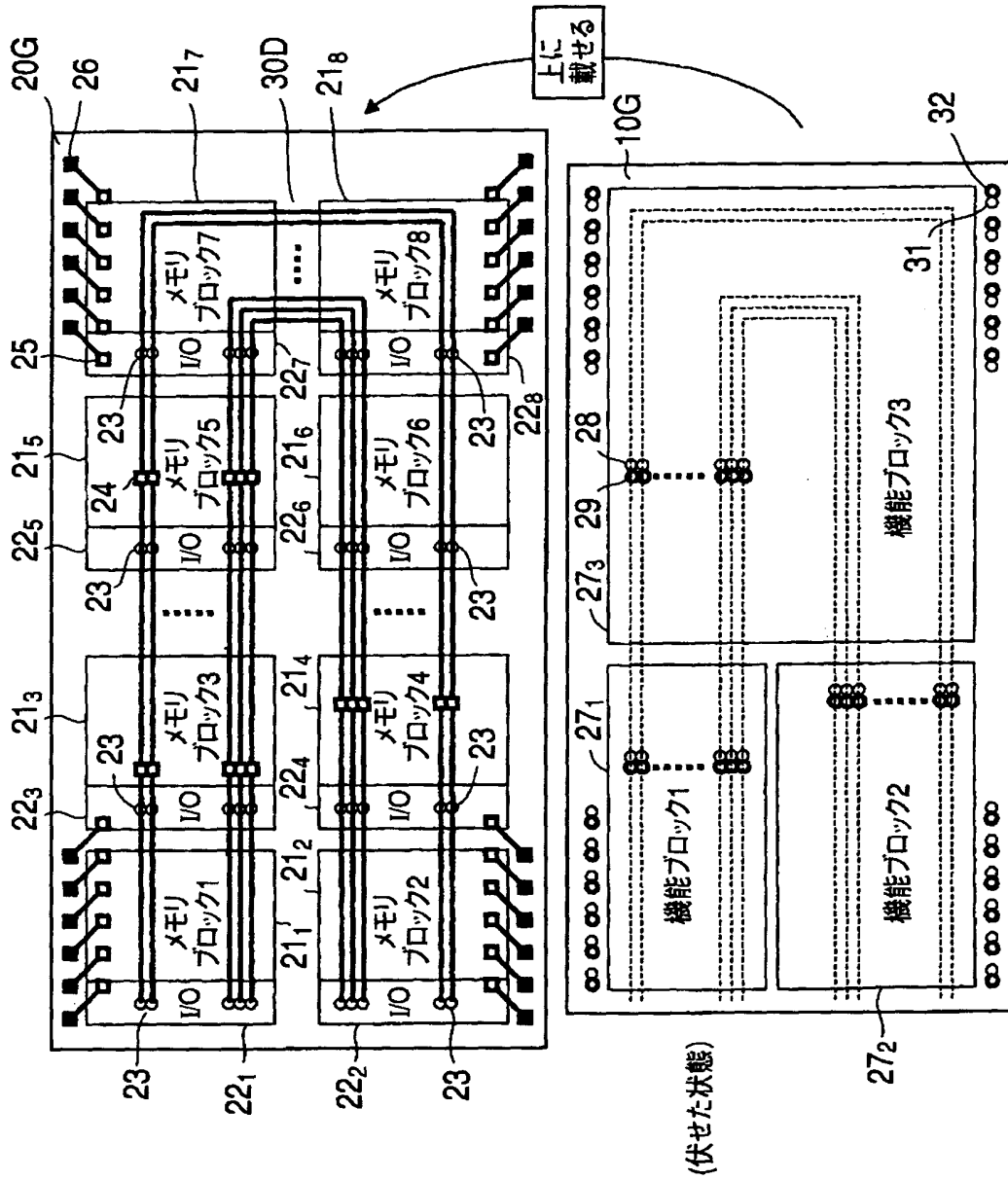
【図 11】

本発明の第5の実施の形態によるマルチチップ半導体装置の変形例を示す図



【図12】

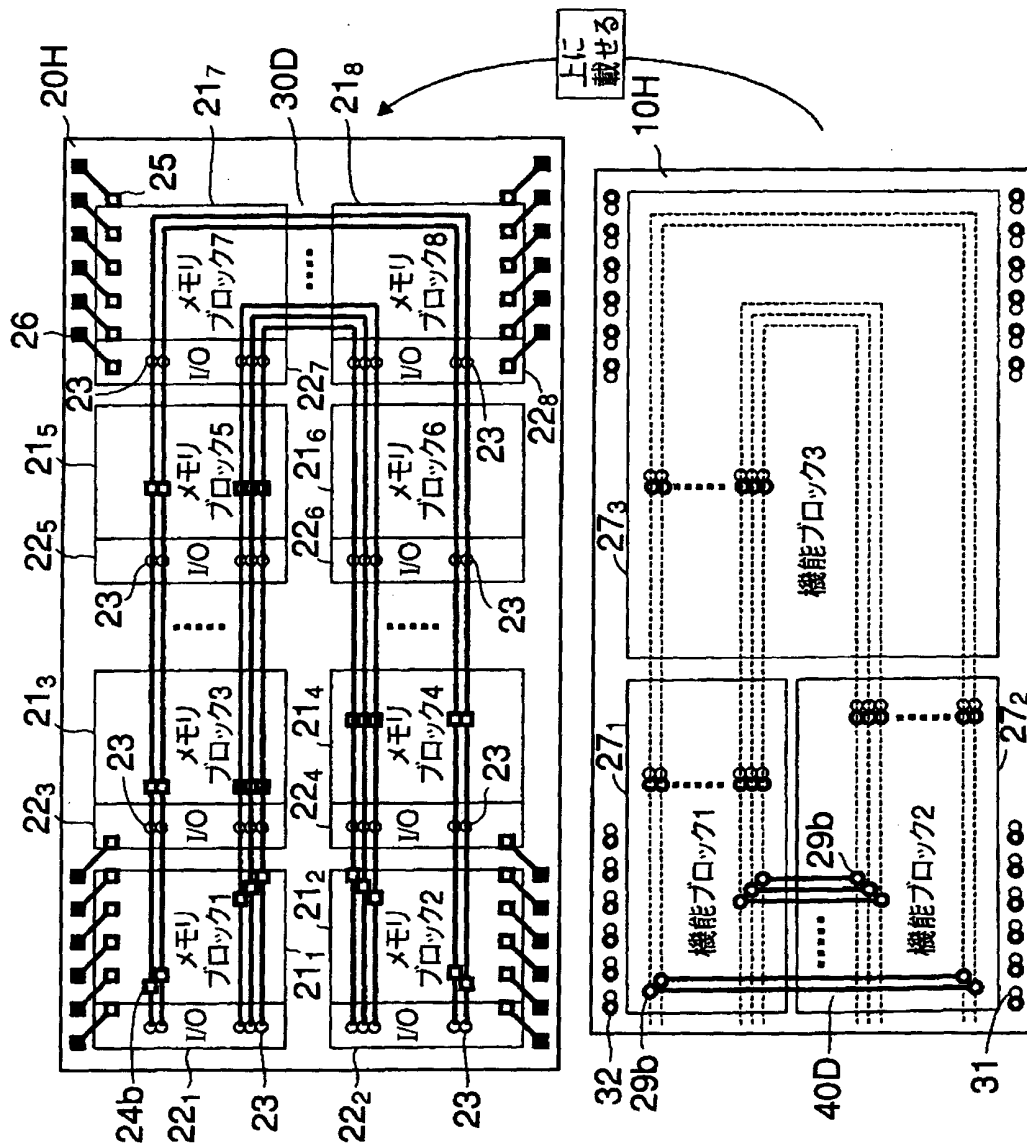
本発明の第6の実施の形態によるマルチチップ半導体装置を示す図





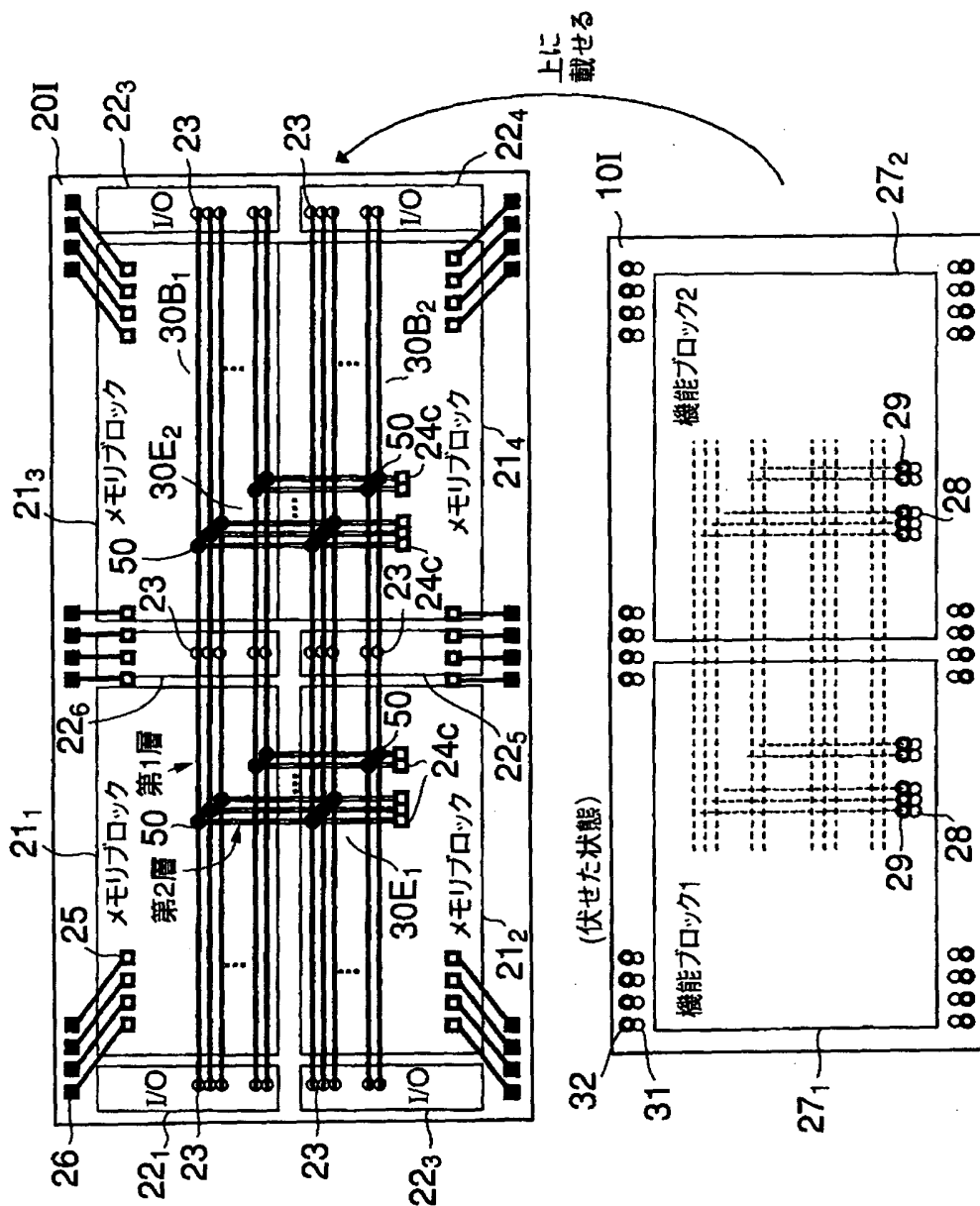
【図13】

本発明の第7の実施の形態によるマルチチップ半導体装置を示す図



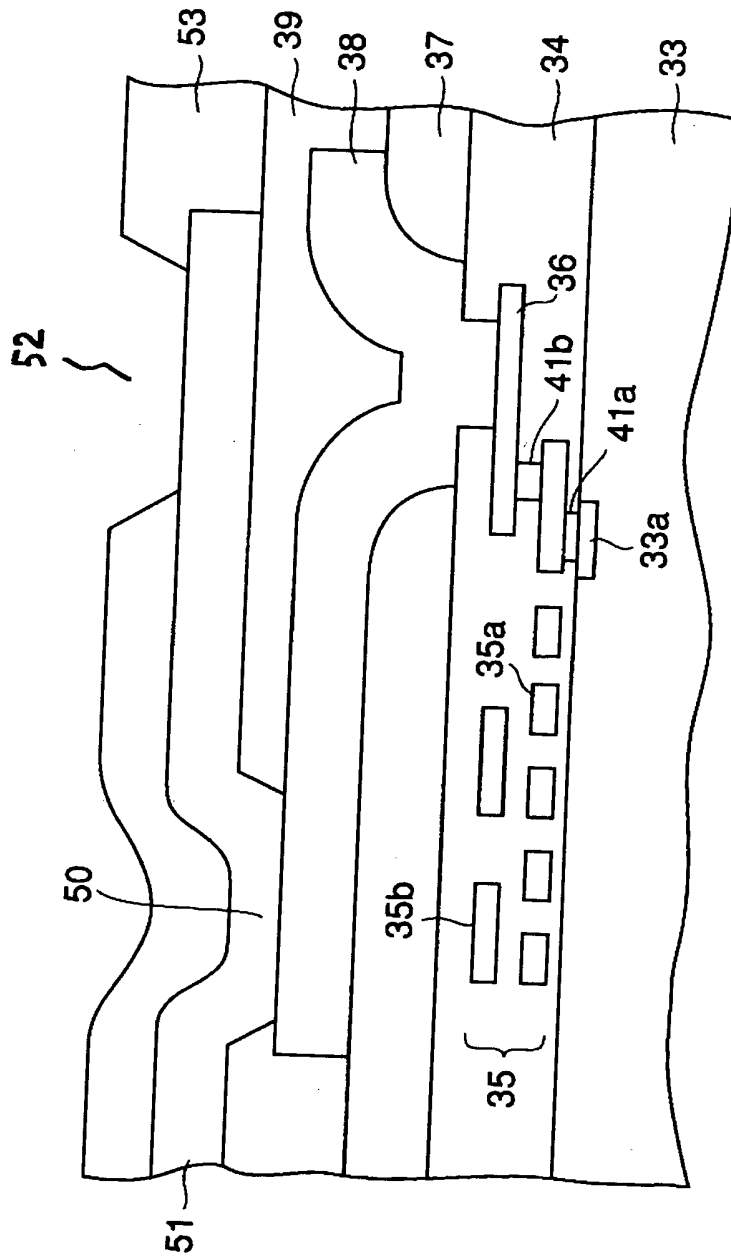
【図14】

本発明の第8の実施の形態によるマルチチップ半導体装置を示す図



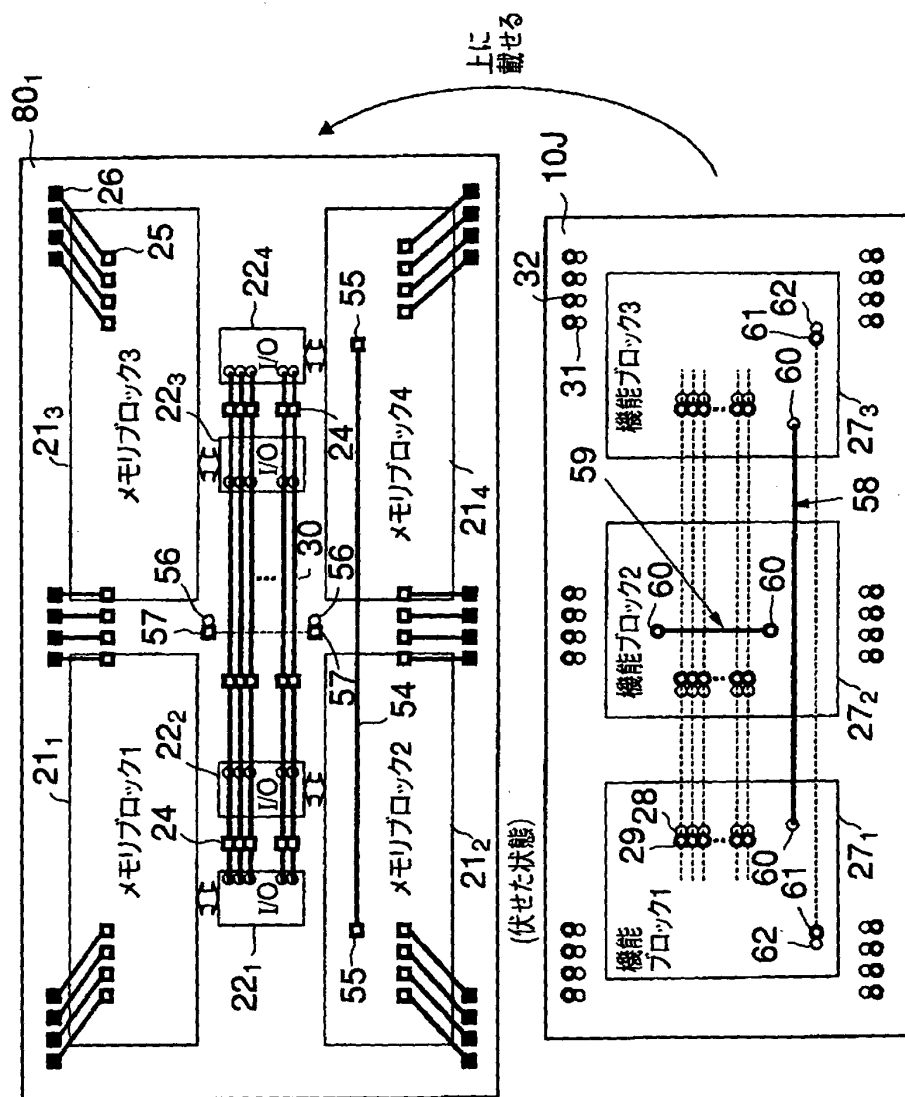
【図15】

図14に示す第1層目の巨大配線と第2層目の巨大配線との関係を示す断面図



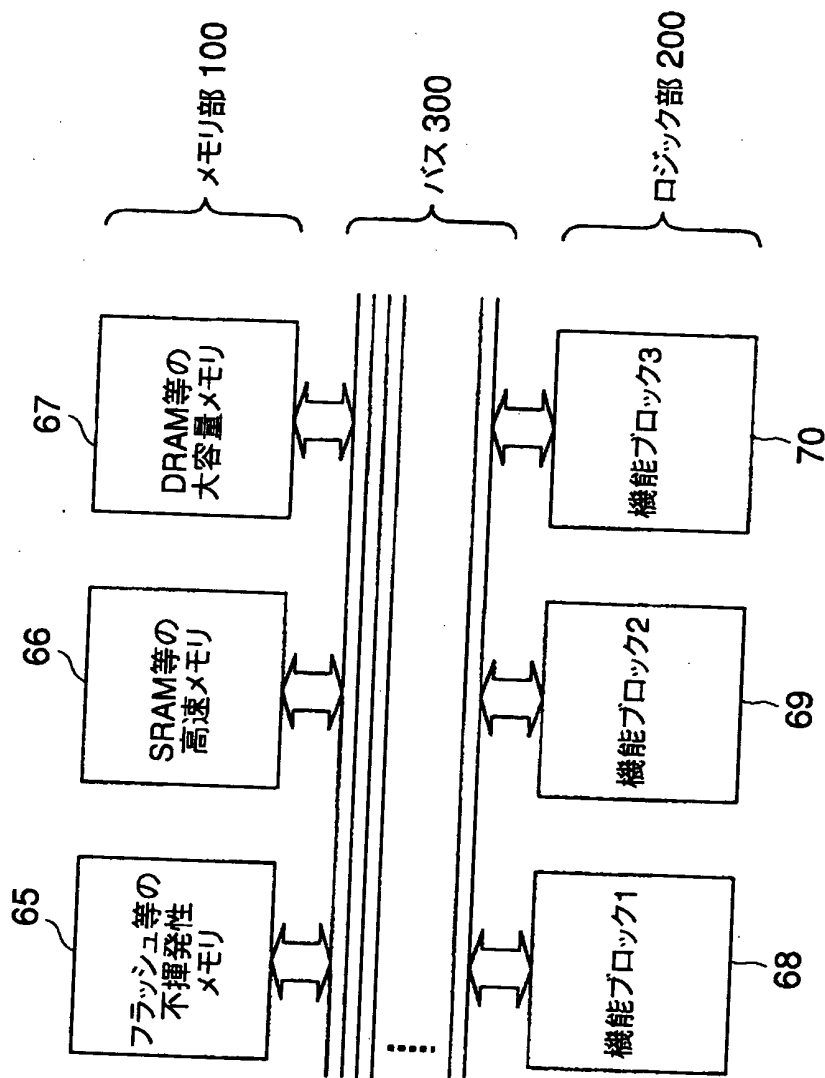
【圖 16】

本発明の第9の実施の形態によるマルチチップ半導体装置を示す図



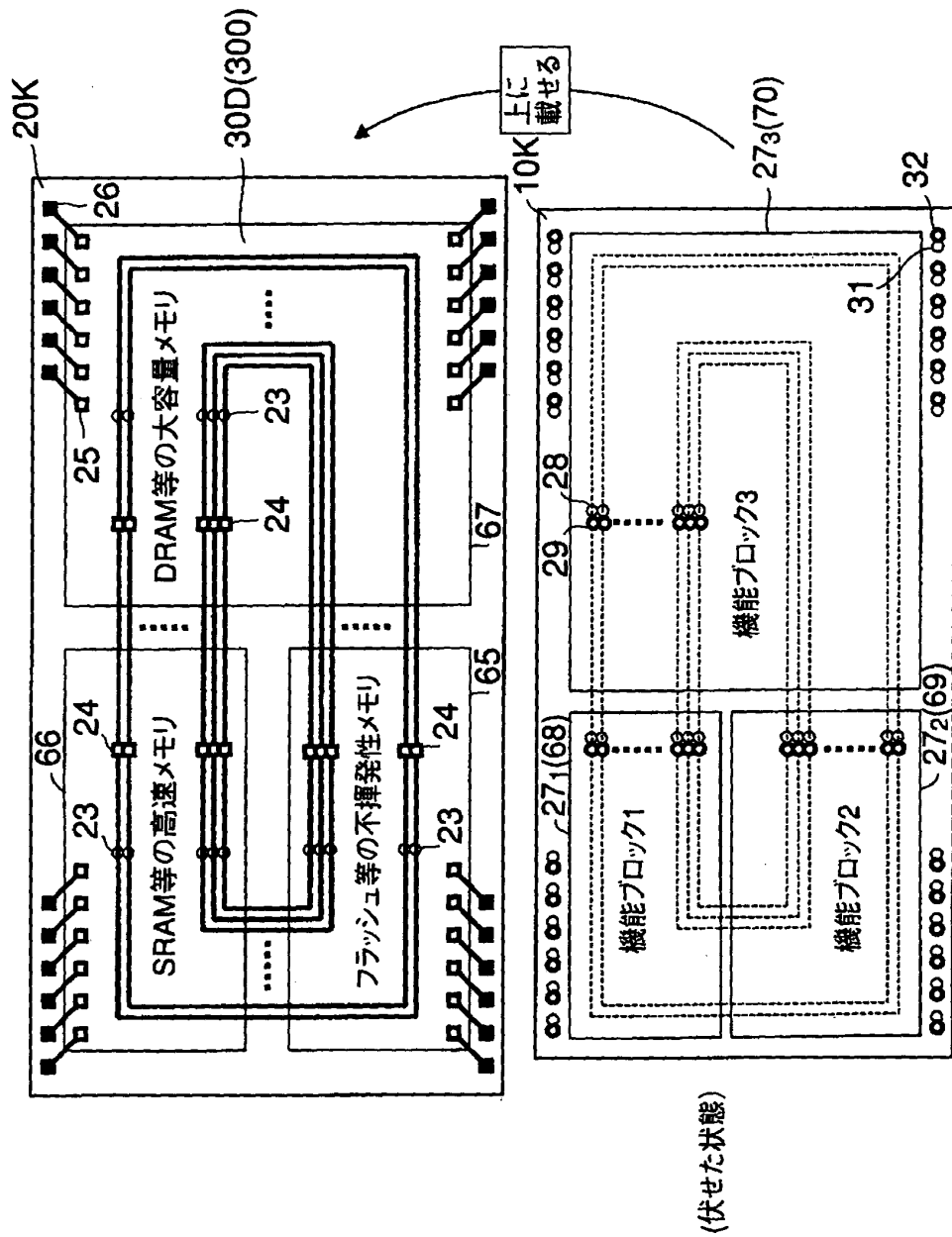
【図17】

システムLSIの構成例を示す図



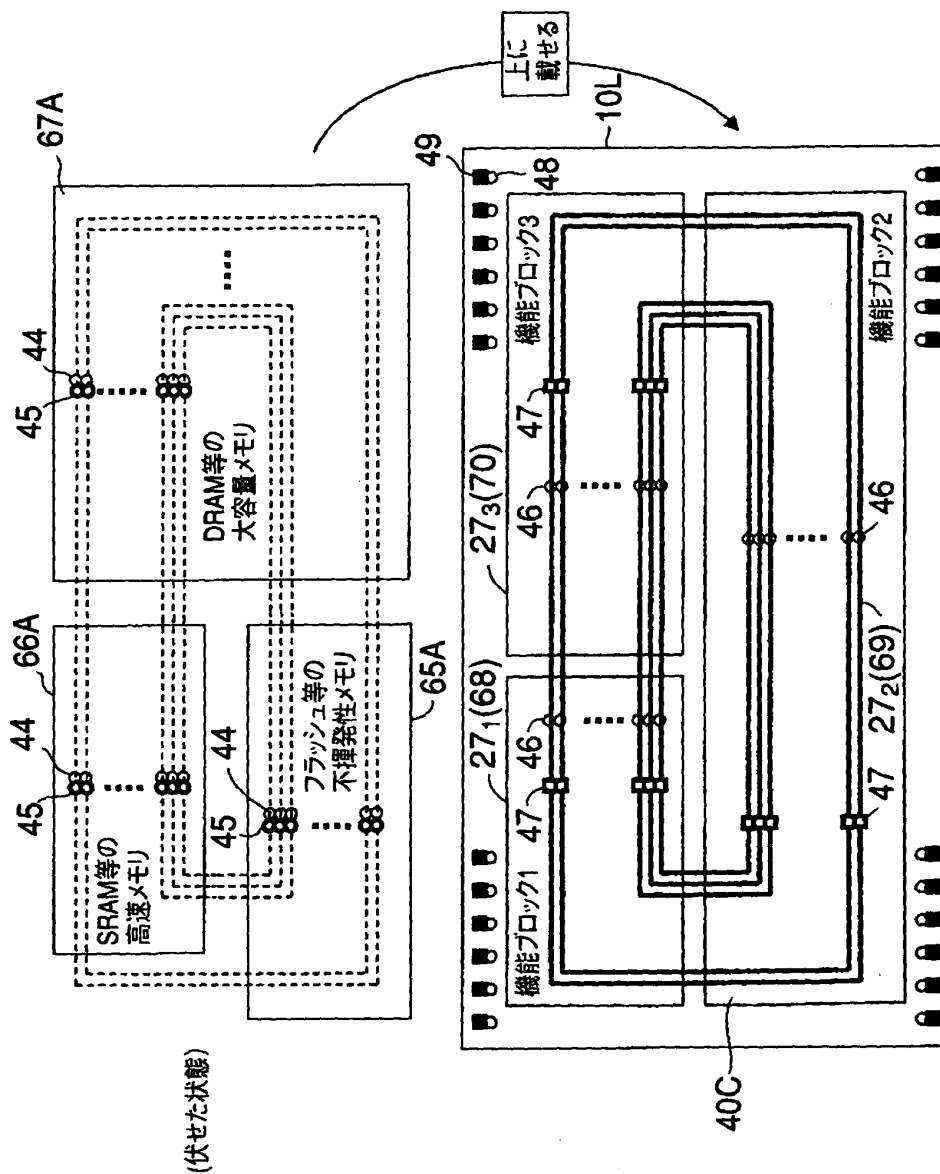
【図18】

本発明の第10の実施の形態によるマルチチップ半導体装置を示す図



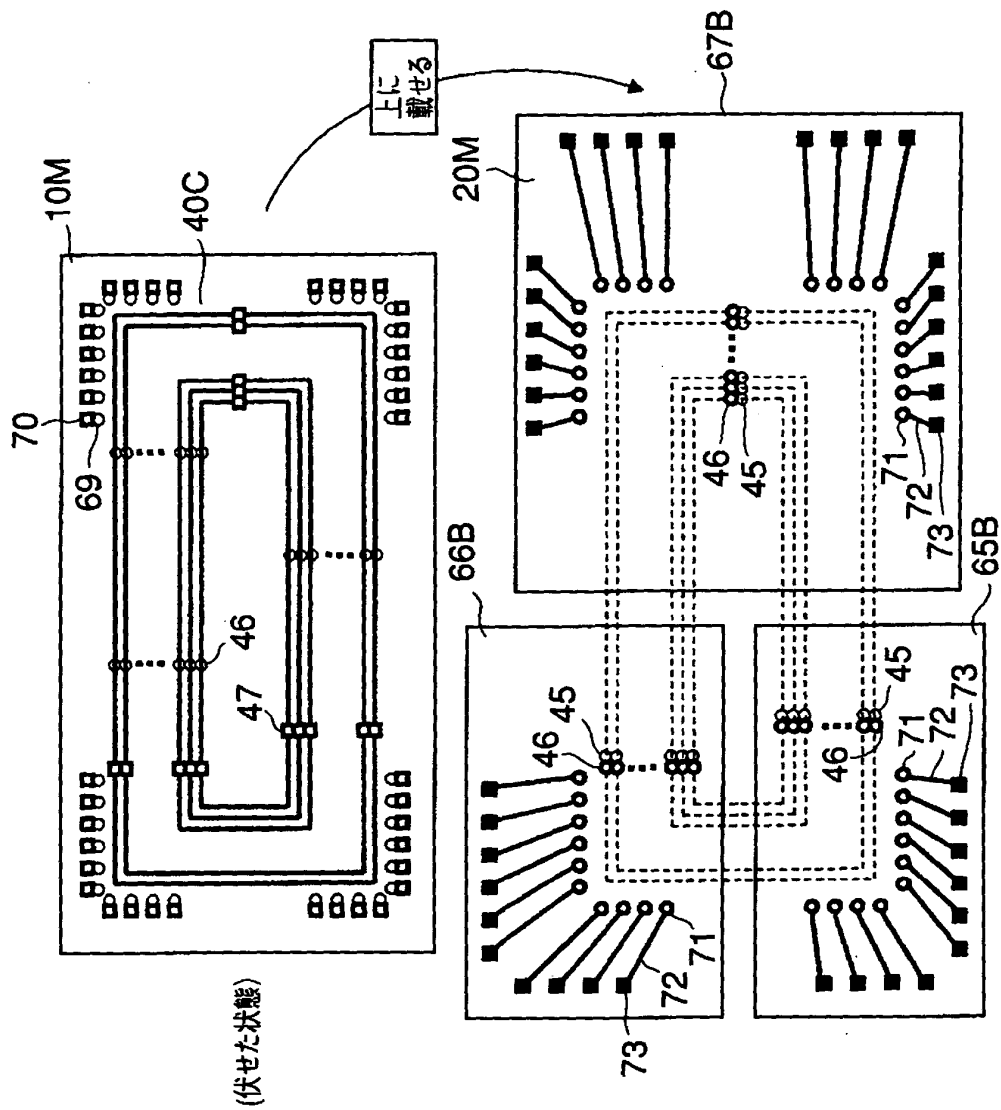
【図19】

本発明の第11の実施の形態によるマルチチップ半導体装置を示す図



【図20】

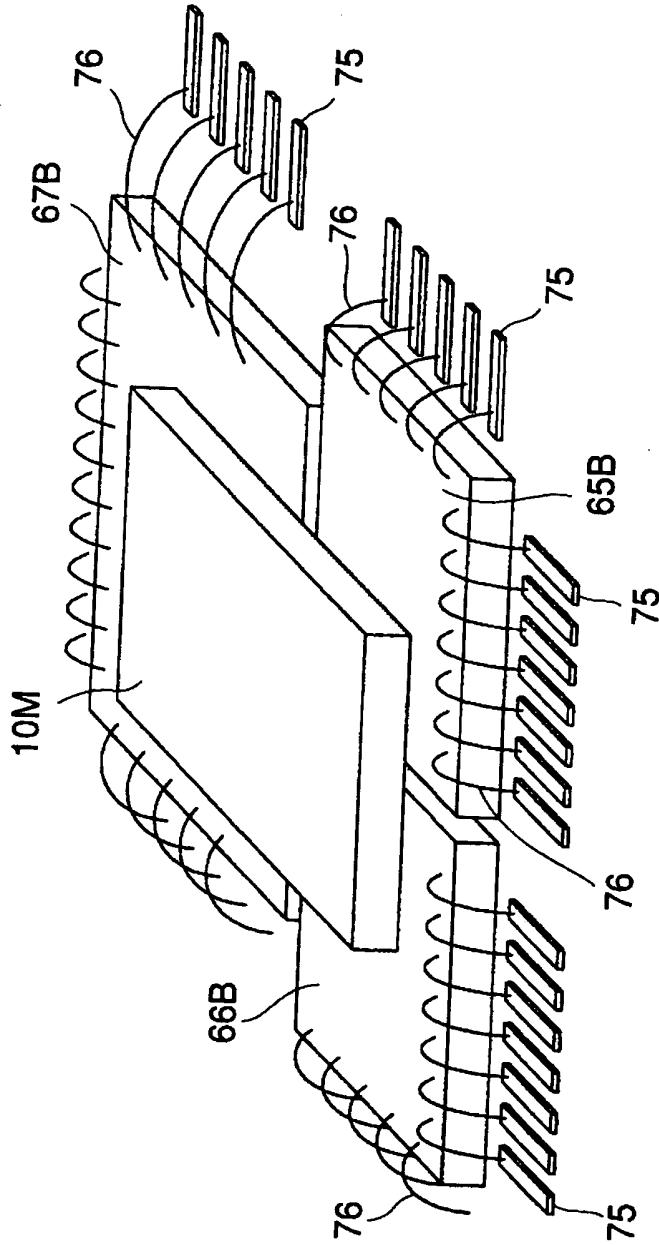
本発明の第12の実施の形態によるマルチチップ半導体装置を示す図





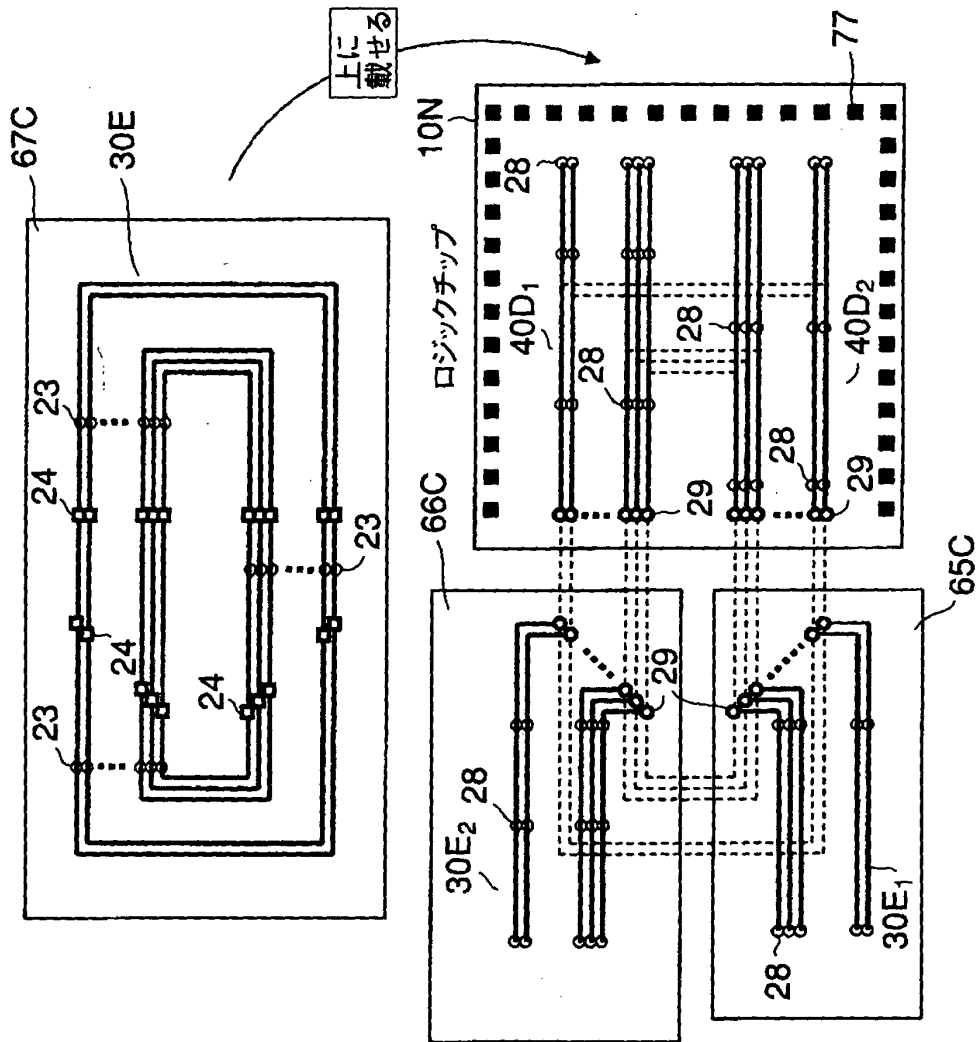
【図 21】

図20に示すマルチチップ半導体装置の斜視図



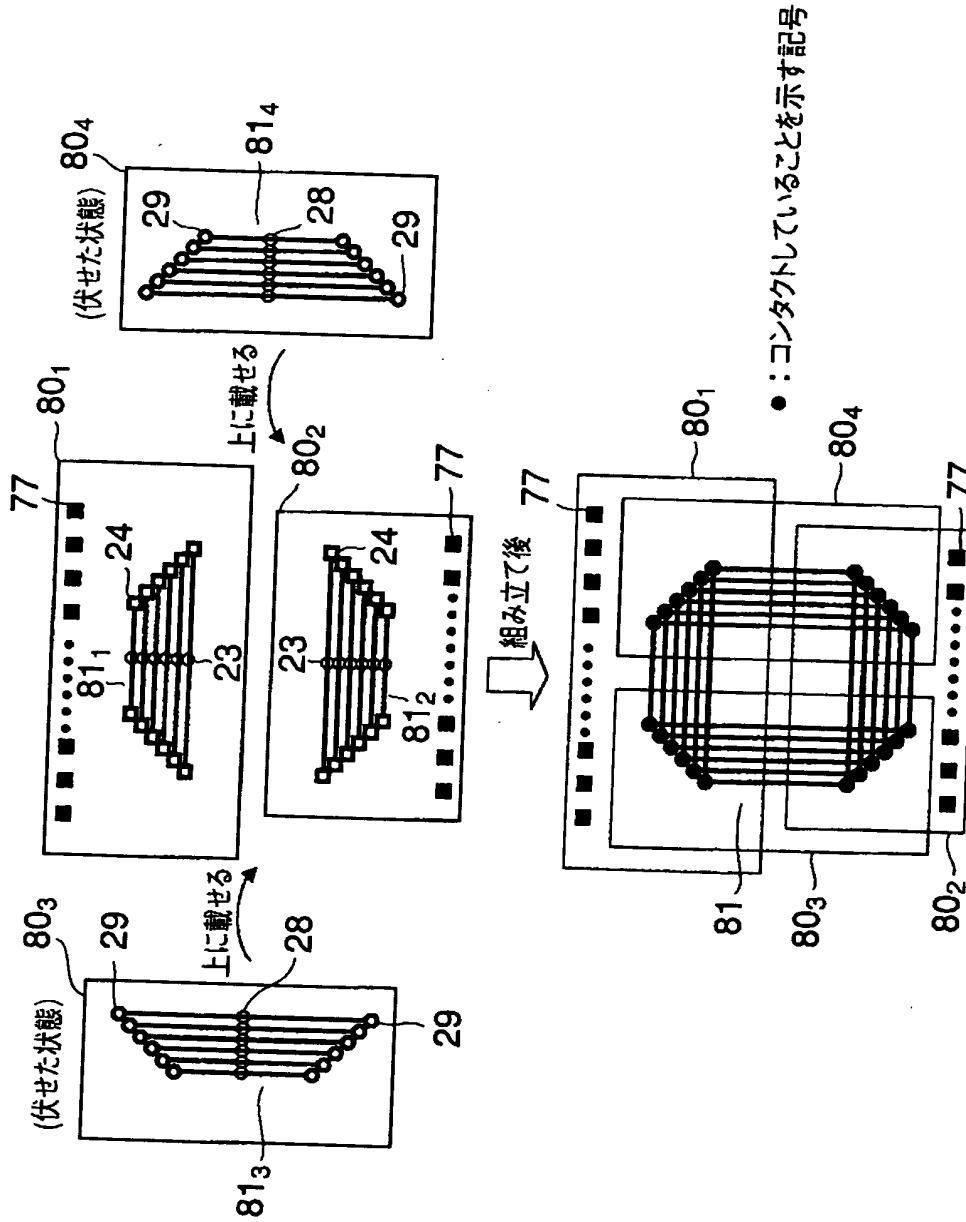
【図 22】

本発明の第13の実施の形態によるマルチチップ半導体装置を示す図



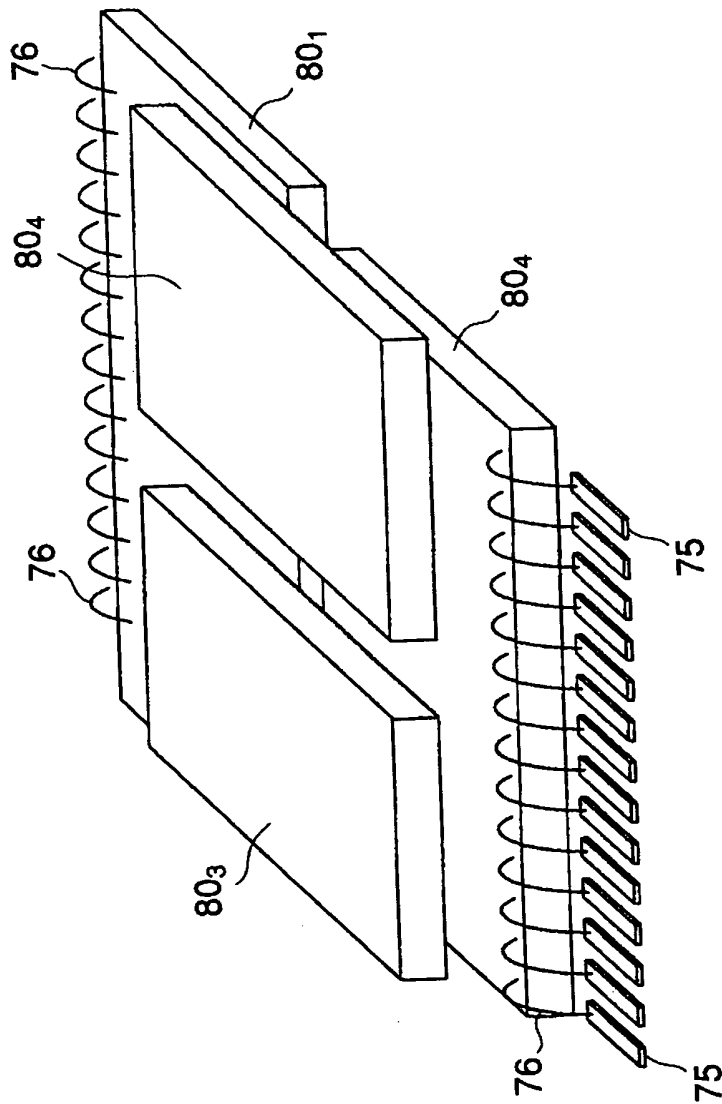
【図 23】

本発明の第14の実施の形態によるマルチチップ半導体装置を示す図



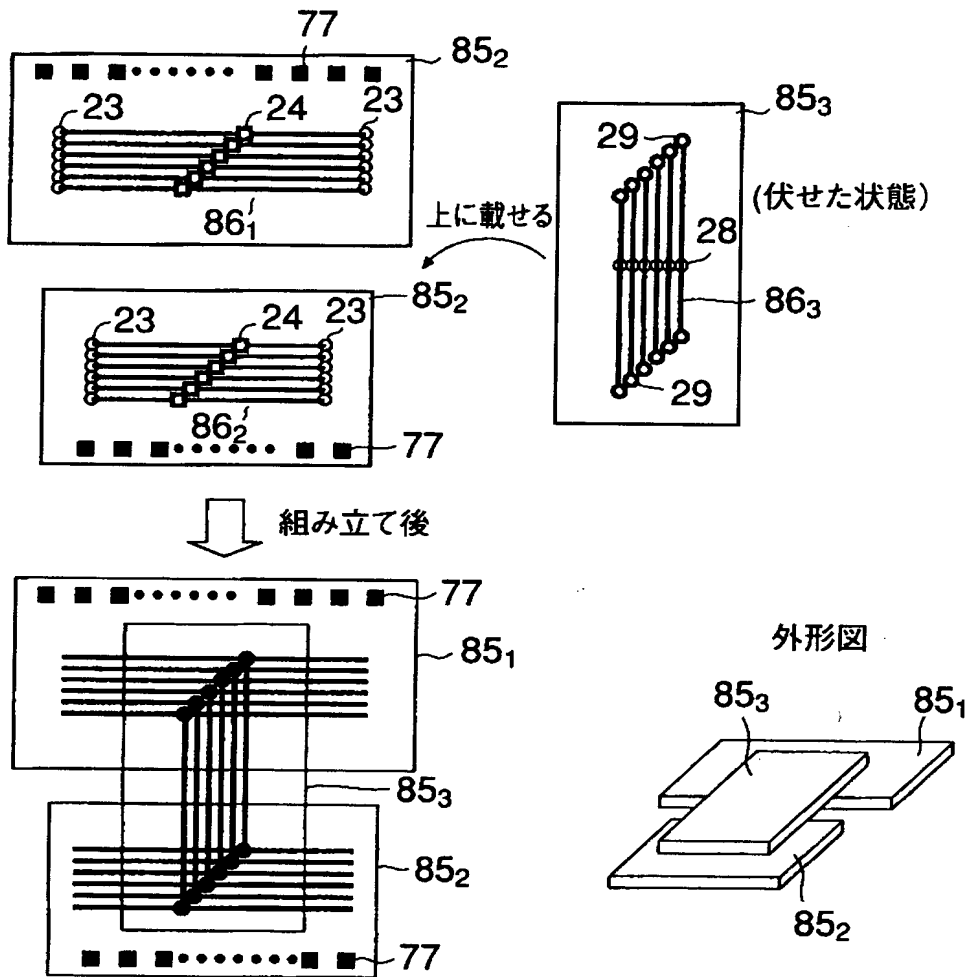
【図 2 4】

図23に示すマルチチップ半導体装置の斜視図



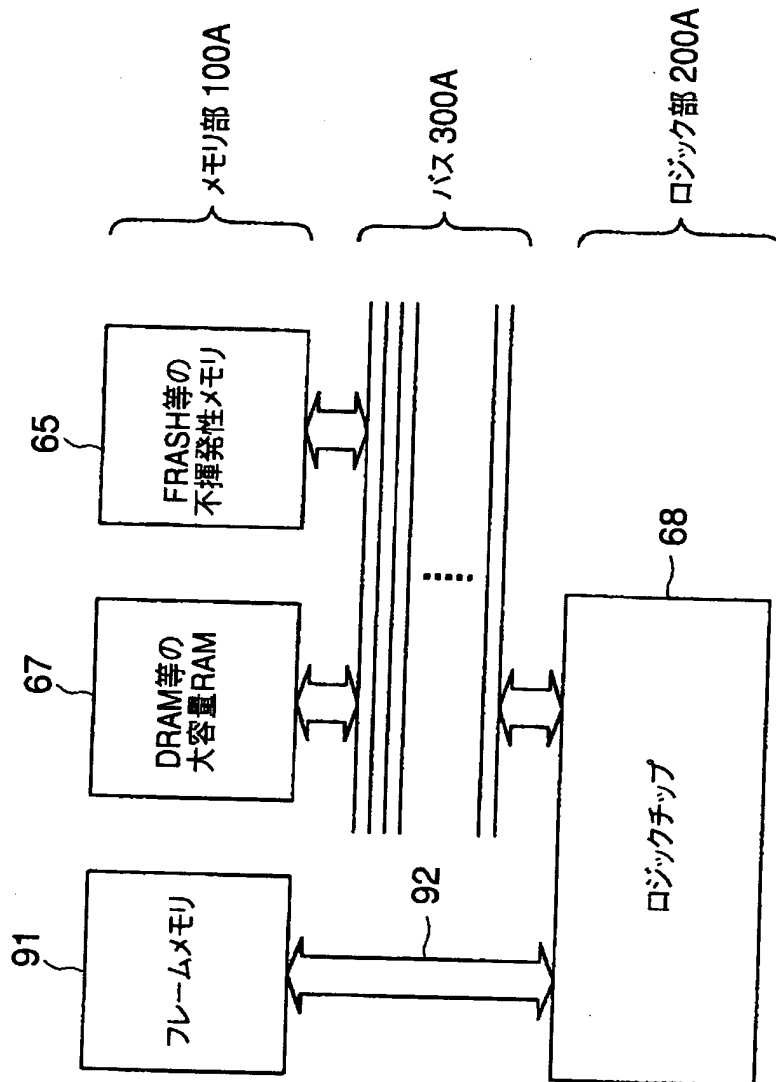
【図 2 5】

本発明の第15の実施の形態によるマルチチップ半導体装置を示す図



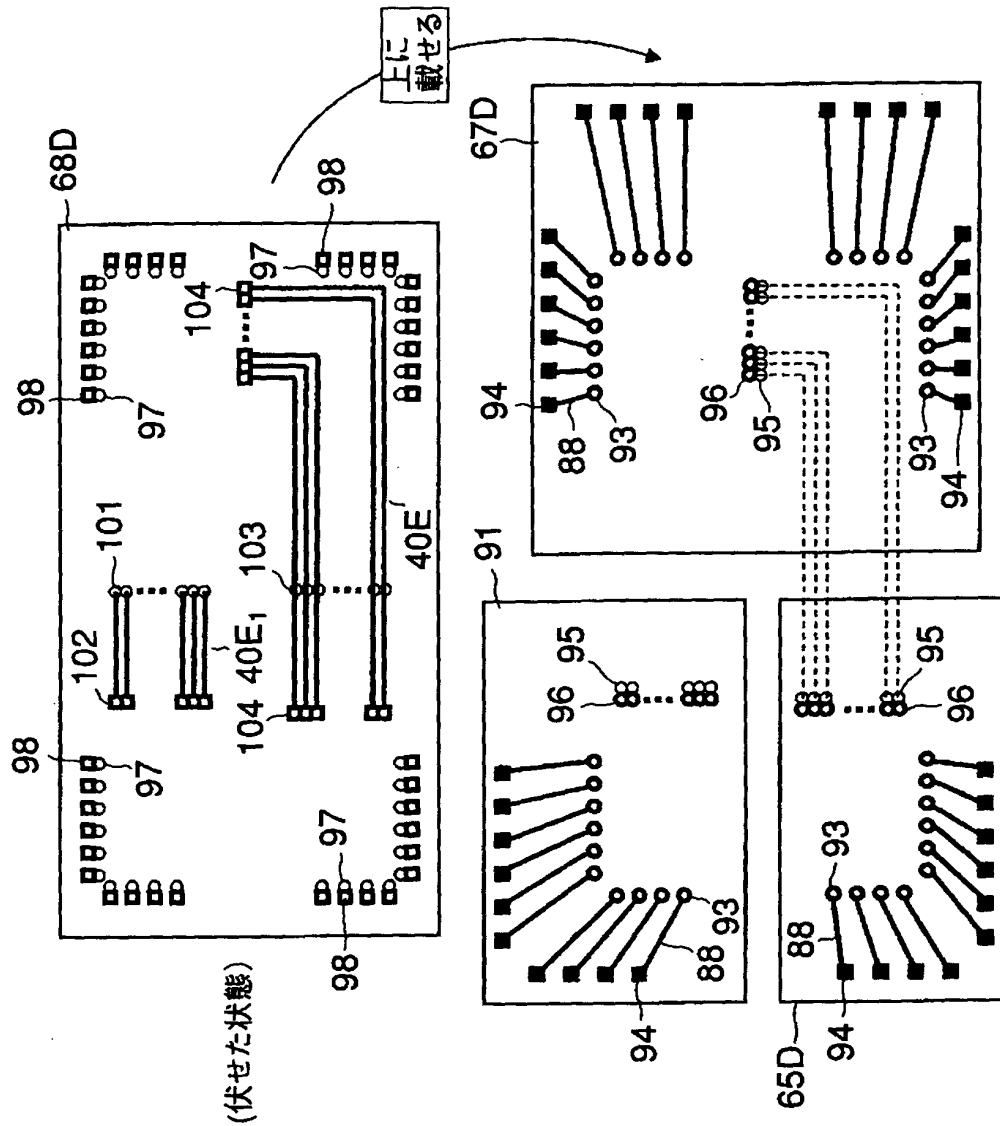
【図 2 6】

システムLSIの別の構成例を示すブロック図



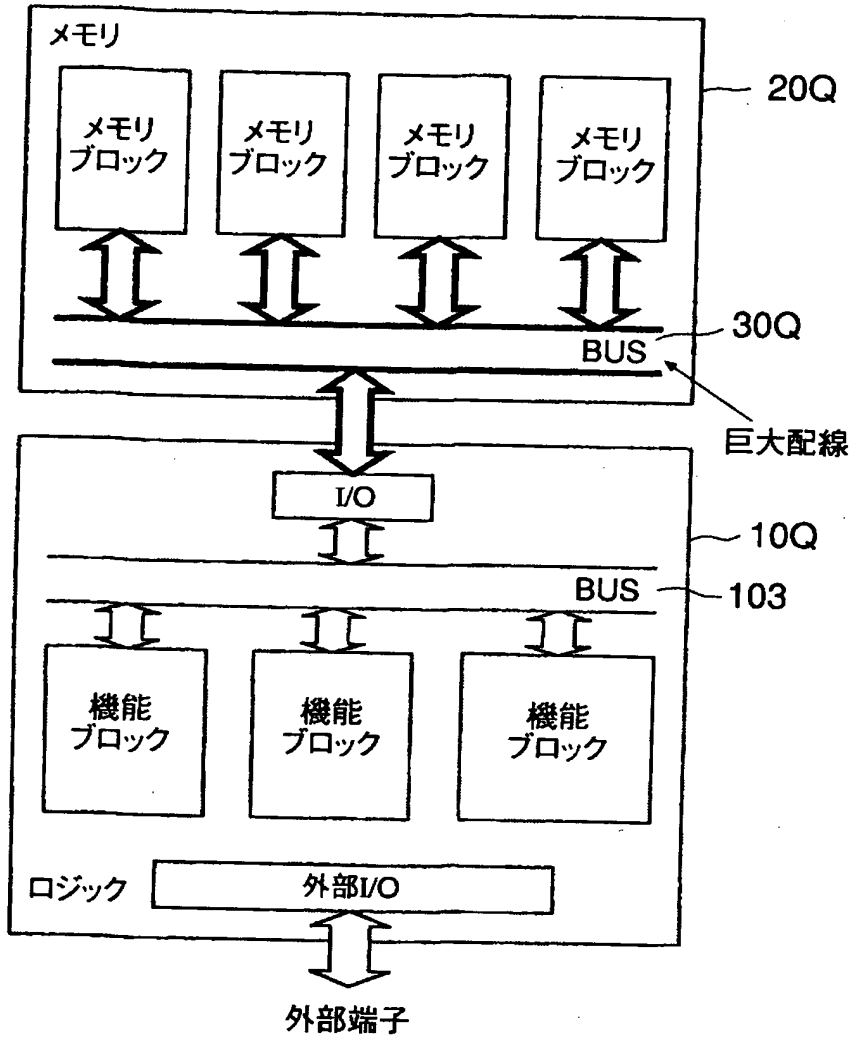
【图 2 7】

本発明の第16の実施の形態によるマルチチップ半導体装置を示す図



【図 2 8】

図3に示す構成の変形例を示すブロック図





【書類名】 要約書

【要約】

【課題】 遅延時間が短くかつ消費電力が少ない半導体装置を提供する。

【解決手段】 半導体基板上に形成された配線層を覆う絶縁層上に設けた導電線（30）を有する半導体装置であって、前記導電線は、前記配線層に設けられた複数の第1の電極（23）と、前記導電線上に設けられた外部接続用の少なくとも1つの第2の電極（24）を互いに接続する構成、又は前記導電線は、前記配線層に設けられた少なくとも1つの第1の電極と、前記導電線上に設けられた外部接続用の複数の第2の電極を互いに接続する構成の半導体装置。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社